

DERWENT-ACC-NO: 1995-377946

DERWENT-WEEK: 200104

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Logical cell implementation method for digital logic circuit - connects configurable logic block software with each other on substrate according to signal route

INVENTOR: POWELL, G P

PATENT-ASSIGNEE: AMERICAN TELEPHONE & TELEGRAPH CO[AMTT] , AT & T CORP[AMTT]

PRIORITY-DATA: 1993US-0175658 (December 30, 1993) , 1995US-0492604 (June 20, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 07254019 A	October 3, 1995	N/A	026 G06F
017/50			
TW 396312 A	July 1, 2000	N/A	000 G06F
013/00			
US 5526278 A	June 11, 1996	N/A	032 G06F
017/50			
KR 148405 B1	November 16, 1998	N/A	000 G06F
015/00			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 07254019A	N/A	1994JP-0319769	December 22, 1994

TW 396312A	N/A	1994TW-0103811	April 27, 1994
US 5526278A	Cont of	1993US-0175658	December 30, 1993
US 5526278A	N/A	1995US-0492604	June 20, 1995
KR 148405B1	N/A	1994KR-0040739	December 29, 1994

INT-CL (IPC): G06F013/00, G06F015/00 , G06F017/00 , G06F017/50 , G11C016/00

ABSTRACTED-PUB-NO: JP 07254019A

BASIC-ABSTRACT:

The implementation method involves selecting the gates in the circuit and getting information about them in a gate array library (a). A FPGA network list is generated in the next step (b). The network list specifies the logical blocks (CLB) needed for FPGA implementation and describes about their function

such as an I/O interface block (IOB) etc. The network list also specifies a port connections between the CLBs. In the next step MPLC implementation is

also done using MPLC library (c). The MPLC is now made up a number of software

for CLBs and IOBs. A MPLC substrate made of an array of logical cells is then taken.

An MPLC network list generated specifies the software of each CLB to be implemented on the MPLC substrate. The software for IOBs to provide the port

connections to CLBs are also mentioned in the network list. The network list along with the MPLC library is used to design the arrangement of individual CLBs on the substrate (e). The IOBs are used to interconnect the CLBs while

maintaining the signal delay between units as exists in the FPGA circuit.

USE/ADVANTAGE - In mfg. ICs for industry, defence and entertainment.
Performs
any function according to signal given to terminal.

ABSTRACTED-PUB-NO: US 5526278A

EQUIVALENT-ABSTRACTS:

A method of converting a field-programmable gate array (FPGA) implementation of a digital logic design, into a mask-programmable logic cell (MPLC) implementation of said digital logic design, the method comprising the steps of:

(a) selecting a FPGA device and a FPGA library for use in achieving said FPGA

implementation, said FPGA device including a package containing a substrate carrying

a plurality of a programmable input and output interface blocks (IOBs) each having input and output ports operably associated with a plurality of pins on said package and programmable logic circuitry contained therein,

a plurality of programmable configurable logic blocks (CLBs) each having input

and output ports and programmable logic circuitry contained therein,

a plurality of programmable interconnect switches for selectively interconnecting the input and output ports of said CLBs and the input and output ports of said IOBs so to form a first signal network for routing signals within said FPGA device with first set of signal delays,

(b) generating a FPGA netlist for said FPGA implementation, said hierarchical

FPGA netlist containing a CLB description for each said CLB utilized in said

FPGA implementation, an IOB description for each said IOB utilized in said FPGA

implementation, and port connectivity specifications specifying the interconnections to be established between the input and output ports of said utilized CLB and said utilized IOBs, effectuated by said plurality of programmable interconnect switches, in order to form said first signal network within said FPGA device;

(c) selecting a MPLC device and a MPLC library for use in achieving said MPLC

implementation, said MPLC device including a package containing a substrate

having at least one interconnect level and an array of a logic cells which can be selectively configured at said at least one interconnect level to form a plurality of Soft-CLBs and a plurality of Soft-IOBs on said MPLC substrate, wherein each said Soft-CLB and each said Soft-IOB has input and output ports

interconnectable at said at least one interconnect level by applying a metalization layer of computable geometry to said MPGA substrate, in order to

form a second signal network for routing signals within said MPLC device with a

second set of signal delays said second signal network physically corresponding to said first signal network;

(d) generating a MPLC netlist for said MPLC implementation, said MPLC netlist

containing hierarchical information regarding said MPLC implementation including

a Soft-CLB description for each said Soft-CLB to be formed on said MPLC substrate,

a Soft-CLB connectivity description specifying the connectivity of the input and output ports of said Soft-CLBs specified in said MPLC netlist,

a Soft-IOB description for each said Soft-IOB to be formed on said MPLC substrate, and

a Soft-IOB connectivity description specifying the connectivity of the input and output ports of said Soft-IOBs specified in said MPLC netlist;

(e) using said modified MPLC netlist and said MPLC library to generate a geometrical database containing

geometrical information specifying the physical placement of each said Soft-CLB

and each said Soft-IOB on said MPLC substrate, and

geometrical information specifying the signal paths on said MPLC substrate interconnecting the input and output ports of said CLBs and IOBs in accordance

with said Soft-CLB connectivity description and said Soft-IOB connectivity description, such that the relative signal delays presented during said FPGA implementation are substantially maintained in said MPLC implementation, thereby assuring functional equivalence between said FPGA and MPLC implementations.

CHOSEN-DRAWING: Dwg.1/13 Dwg.8/13

TITLE-TERMS: LOGIC CELL IMPLEMENT METHOD DIGITAL LOGIC
CIRCUIT CONNECT

CONFIGURATION LOGIC BLOCK SOFTWARE SUBSTRATE
ACCORD SIGNAL ROUTE

ADDL-INDEXING-TERMS:

CONFIGURABLE LOGIC BLOCK

DERWENT-CLASS: T01 U13

EPI-CODES: T01-J15A1; U13-C02C; U13-C04A; U13-C04D;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1995-277882

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-254019

(43) 公開日 平成7年(1995)10月3日

(51) IntCl.⁶

G 0 6 F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

7623-5L

G 0 6 F 15/ 60

6 5 8 A

7623-5L

6 5 6 A

7623-5L

6 5 8 U

審査請求 有 請求項の数20 OL (全 26 頁)

(21) 出願番号 特願平6-319769

(22) 出願日 平成6年(1994)12月22日

(31) 優先権主張番号 1 7 5 6 5 8

(32) 優先日 1993年12月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 390035493

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP.

アメリカ合衆国 10013-2412 ニューヨ

ーク ニューヨーク アヴェニュー オブ

ジ アメリカズ 32

(72) 発明者 ガリー ボール ボーウェル

アメリカ合衆国 18104 ペンシルヴァニ

ア, アレントタウン, ヘレン ドライヴ

5821

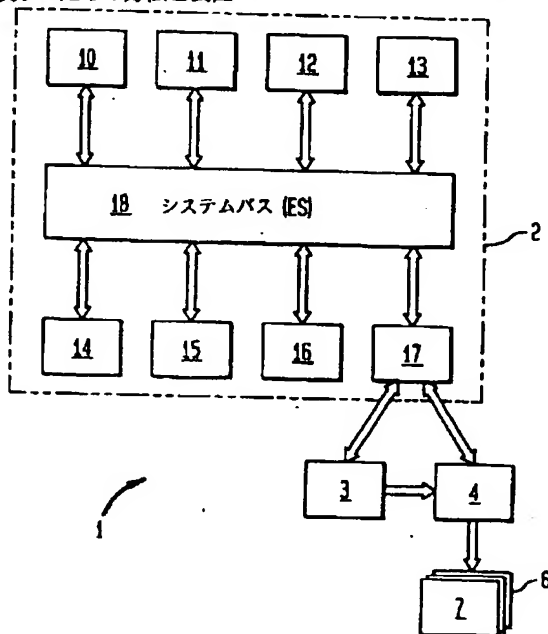
(74) 代理人 弁理士 岡部 正夫 (外2名)

(54) 【発明の名称】 フィールドプログラム可能なゲートアレイ・インプリメンテーションをマスクプログラム可能な論理セル・インプリメンテーションに変換するための方法と装置

(57) 【要約】

【目的】 FPGAインプリメンテーションをマスクプログラム可能な論理セルインプリメンテーションに変換する方法と装置を提供する。

【構成】 配列自在な論理ブロック、信号経路選択用ネットワーク、並びにFPGAインプリメンテーションのクロック分配ツリーが、マスクプログラム可能な論理セル(MPLC)上に保持されている。MPLCインプリメンテーションのネットワークレベルにおいてMPLC上の対応する構造の物理的な配置を制限することで、FPGAインプリメンテーションの間に存在する相対的な信号およびクロック遅延がMPLCインプリメンテーション内に実質的に保持されて、FPGAとMPLCインプリメンテーション間の機能的な等価が確保される。



【特許請求の範囲】

【請求項1】 デジタル論理設計のフィールドプログラム可能なゲートアレイ (FPGA) インプリメンテーションを、前記デジタル論理設計のマスクプログラム可能な論理セル (MPLC) インプリメンテーションに変換するための方法において、

(a) 前記FPGAインプリメンテーションを達成する際に使用するFPGA装置およびFPGAライブラリを選択するステップであって、前記FPGA装置は以下を支持する基板を有するパッケージを含む、

前記パッケージ上の複数のピンに動作的に関連した入力と出力ポートおよび内部に含まれたプログラム可能な論理回路をそれぞれ有する複数のプログラム可能な入力と出力インターフェースブロック (IOBs)、

入力と出力ポートおよび内部に含まれたプログラム可能な論理回路をそれぞれ有する複数のプログラム可能で配置自在な論理ブロック (CLBs)、

前記CLBsの入力と出力ポートおよび前記IOBsの入力と出力ポートを選択的に相互接続して第1の信号遅延を備えた前記FPGA装置内で信号の経路選択をするための第1の信号ネットワークを形成する複数のプログラム可能な相互接続スイッチ、

(b) 前記FPGAインプリメンテーションのためのFPGAネットリストを生成するステップであって、前記階層的なFPGAネットリストは、前記FPGAインプリメンテーションに利用される各前記CLBのためのCLB記述、前記FPGAインプリメンテーションに利用される各前記IOBのためのIOB記述、および前記FPGA装置内部に前記第1の信号ネットワークを形成するために、前記複数のプログラム可能な相互接続スイッチにより有効にされる、前記利用されたCLBsと前記利用されたIOBsの入力と出力ポートの間に確立されるべきポート接続性仕様を含む、

(c) MPLC装置と前記MPLCインプリメンテーションを達成するために使用されるMPLCライブラリを選択するステップであって、前記MPLC装置は少なくとも1つの相互接続レベルと前記MPLC基板上に複数のソフトCLBs及び複数のソフトIOBsを形成するために前記少なくとも1つの相互接続レベルにおいて選択的に配列されることができる論理セルのアレイとを備えた基板を有するパッケージを含み、前記MPLC内に前記第1の信号ネットワークに物理的に対応した第2の信号遅延の組を備えた信号経路選択用の第1の信号ネットワークを形成するために、各前記ソフトCLBおよび各前記ソフトIOBは前記MPLC基板上に計算可能な形状のメタライズ層を設けることで少なくとも1つの相互接続レベルにおいて相互接続可能である入力と出力を有する、

(d) 前記MPLCインプリメンテーションのためにMPLCネットリストを生成するステップであって、前

記MPLCネットリストは、

前記MPLC基板上に形成されるべき各前記ソフトCLBのためのソフトCLB記述、

前記MPLCネットリスト内に特定される前記ソフトCLBsの入力および出力ポートの接続性を特定するソフトCLB接続性記述、

前記MPLC基板上に形成されるべき各前記ソフトIOBのためのソフトIOB記述、並びに前記MPLCネットリスト内に特定される前記ソフトIOBsの入力および出力ポートの接続性と特定するソフトIOB接続性記述を含む前記MPLCインプリメンテーションに関する階層的情報を含み、

(e) 形状データベースを生成するために前記変更されたMPLCネットリストおよび前記MPLCライブラリを使用するステップであって、前記形状データベースは、

前記MPLC基板上の各前記ソフトCLBおよび各前記ソフトIOBの物理的な配置を特定する形状情報、並びに前記ソフトCLB接続性記述および前記ソフトIOB接続性記述に従って前記CLBsと前記IOBsの入力と出力ポートを相互接続する前記MPLC上の信号経路を特定する形状情報であって、前記FPGAインプリメンテーションの間に存在する相対的な信号遅延が前記MPLCインプリメンテーション内に実質的に保持され、これにより前記FPGAとMPLCインプリメンテーションの間の機能的な等価が確立されることを含む、ことを特徴とする方法。

【請求項2】 ステップ(a)において、前記選択されたFPGA装置がさらに、

前記CLBsおよびIOBsにより使用されるためのクロック信号を生成するためのクロック信号生成手段、前記クロック信号内において前記CLBsおよびIOBsに経路選択するための第1の複数の導電素子を有するクロック信号分配構造を含み、

前記ステップ(d)の後に、

前記MPLCネットリストに、前記MPLC上の前記クロック信号生成手段の記述と前記MPLC上の前記クロック信号分配構造の記述とを加えることで、変更されたMPLCネットリストを生成することを更に含み、

前記形状データベースが、前記MPLC基板上の前記クロック信号生成手段と前記リセット信号生成手段の物理的な配置を特定する形状情報と、前記MPLC基板上の前記クロック信号分配構造の物理的な経路選択を特定する形状情報を更に含むことを特徴とする請求項1記載の方法。

【請求項3】 ステップ(d)の間にさらに、

前記変更されたMPLCネットリストに、前記FPGAインプリメンテーションを実現する際に利用しない前記FPGA内部の各CLBのためのソフトCLBロードを加えることを含むことを特徴とする請求項1記載の方

法。

【請求項4】 (f) 前記MPGA上の前記メタライズ層を形成の際に使用するための光蝕刻処理用マスクの組を生成するために前記形状データベースを使用することをさらに含む特徴とする請求項3記載の方法。

【請求項5】 (g) 前記MPGA基板上の前記メタライズ層を形成するために前記生成された光蝕刻処理用マスクの組を使用することをさらに含むことを特徴とする請求項4記載の方法。

【請求項6】 前記MPLCインプリメンテーションがマスクプログラム可能なゲートアレイ (MPGA) インプリメンテーションであり、前記MPLC装置がMPGA装置であり、並びに前記MPLCライブラリがMPGAライブラリであることを特徴とする請求項1記載の方法。

【請求項7】 前記MPLCインプリメンテーションがマスクプログラム可能な通常のセル (MPSC) インプリメンテーションであり、前記MPLC装置がMPSC装置であり、並びに前記MPLCライブラリがMPSCライブラリであることを特徴とする請求項1記載の方法。

【請求項8】 前記形状データベースの製造の間に、前記各ソフトCLBが前記FPGA基板上の対応するCLBの物理的ロケーションと相対的に同じである前記MPLC基板上の物理的ロケーションに配置され、各前記ソフトIOBが前記FPGA基板上の対応するIOBの物理的ロケーションと相対的に同じである前記MPLC基板上の物理的ロケーションに配置され、前記MPLC基板上の各前記クロック信号生成手段が前記FPGA基板上の対応するクロック信号生成手段の物理的ロケーションと相対的に同じである前記MPLC基板上の物理的ロケーションに配置され、並びに前記MPLC基板上の各前記クロック信号分配構造の物理的経路選択が前記FPGA基板上の対応するクロック分配構造の信号経路と相対的に同じである前記MPLC基板上の信号経路に沿って選択されることを特徴とする請求項2記載の方法。

【請求項9】 デジタル論理設計のフィールドプログラム可能なゲートアレイ (FPGA) インプリメンテーションを、前記デジタル論理設計のマスクプログラム可能な論理セル (MPLC) インプリメンテーションに変換するための方法において、

(a) 前記FPGAインプリメンテーションを達成する際に使用するFPGA装置およびFPGAライブラリを選択するステップであって、前記FPGA装置は前記パッケージ上の複数のピンに動作的に関連した入力と出力ポートおよび内部に含まれたプログラム可能な論理回路をそれぞれ有する複数のプログラム可能な入力と出力インターフェースブロック (IOBs)、入力と出力ポートおよび内部に含まれたプログラム可能な論理回路をそれぞれ有する複数のプログラム可能で配

置自在な論理ブロック (CLBs)、前記CLBsの入力と出力ポートおよび前記IOBsの入力と出力ポートを選択的に相互接続して第1の信号遅延を備えた前記FPGA装置内で信号の経路選択をするための第1の信号ネットワークを形成する複数のプログラム可能な相互接続スイッチ、前記CLBsおよびIOBsにより使用されるためのクロック信号を生成するためのクロック信号生成手段、前記クロック信号内において前記CLBsおよびIOBsに経路選択するための第1の複数の導電素子を有するクロック信号分配構造を支持する基板を有するパッケージを含み、

(b) 前記FPGAインプリメンテーションのためのFPGAネットリストを生成するステップであって、前記FPGAネットリストは、前記FPGAインプリメンテーションに利用される各前記CLBのためのCLB記述、前記FPGAインプリメンテーションに利用される各前記IOBのためのIOB記述、および前記FPGA装置内部に前記第2の信号ネットワークを形成するために、前記複数のプログラム可能な相互接続スイッチにより有効にされる、前記利用されたCLBsと前記利用されたIOBsの入力と出力ポートの間に確立されるべきポート接続性仕様を含む階層的な情報を含んでおり、

(c) MPLC装置と前記MPLCインプリメンテーションを達成するために使用されるMPLCライブラリを選択するステップであって、前記MPLC装置は少なくとも1つの相互接続レベルを有し且つ前記MPLC基板上に複数のソフトCLBs及び複数のソフトIOBsを形成するために前記少なくとも1つの相互接続レベルにおいて選択的に配列されることができ論理セルの阵列を支持する基板を有するパッケージを含み、前記MPLC内に前記第1の信号ネットワークに物理的に対応した第2の信号遅延の組を備えた信号経路選択用の第1の信号ネットワークを形成するために、各前記ソフトCLBおよび各前記ソフトIOBは前記MPGA基板に計算された形状のメタライズ層を設けることで少なくとも1つの相互接続レベルにおいて相互接続することができ入力と出力を有し、

(d) 前記MPLCインプリメンテーションのためにMPLCネットリストを生成するステップであって、前記MPLCネットリストは、前記MPLC基板上に形成されるべき各前記ソフトCLBのためのソフトCLB記述、前記MPLCネットリスト内に特定される前記ソフトCLBsの入力および出力ポートの接続性を特定するソフトCLB接続性記述、前記MPLC基板上に形成されるべき各前記ソフトIOBのためのソフトIOB記述、並びに前記MPLCネットリスト内に特定される前記ソフトIOBsの入力および出力ポートの接続性と特定するソフトIOB接続性記

述を含み、

(e) 前記MPLCネットリストに以下の(1)～(3)を加えることで変更されたMPLCを生成するステップ、

(1) 前記FPGAインプリメンテーションを実現させる際に利用しない、前記FPGA内の各前記CLBのためのソフトCLB

(2) 前記MPLC基板上に位置する前記クロック信号生成手段の記述、

(3) 前記MPLC基板上に位置する前記クロック信号分配構造の記述、

(f) 形状データベースを生成するために前記変更されたMPLCネットリストおよび前記MPLCライブラリを使用するステップであって、前記形状データベースは、

前記MPLC基板上の各前記ソフトCLBおよび各前記ソフトIOBの物理的な配置、各前記ソフトIOBの物理的な配置、並びに前記MPLC基板上の前記クロック信号生成手段の物理的な配置を特定する形状情報を有し、

前記ソフトCLB接続性記述および前記ソフトIOB接続性記述に従って前記クロック信号分配構造の物理的な経路選択、およびCLBsと前記IOBsの入力と出力ポートを相互接続する前記MPLC上の信号経路を特定する形状情報であって、前記MPLC基板上の前記ソフトCLBs、前記ソフトIOBs、並びに前記クロック信号生成手段の物理的な配置が前記FPGA基板上の対応する前記ソフトCLBs、対応する前記ソフトIOBs、並びに前記クロック信号生成手段の物理的な配置と同じであり、前記FPGAインプリメンテーションの間に存在する相対的な信号およびクロック遅延が前記MPLCインプリメンテーション内に実質的に保持され、これにより前記FPGAとMPLCインプリメンテーションの間の機能的な等価が確立されることを含む、

ことを特徴とする方法。

【請求項10】 (g) 前記MPGA上の前記メタライズ層を形成の際に使用するための光蝕刻処理用マスクの組を生成するために前記形状データベースを使用することをさらに含む特徴とする請求項9記載の方法。

【請求項11】 (h) 前記MPGA基板上の前記メタライズ層を形成するために前記生成された光蝕刻処理用マスクの組を使用することをさらに含むことを特徴とする請求項10記載の方法。

【請求項12】 前記MPLCインプリメンテーションがマスクプログラム可能なゲートアレイ(MPGA)インプリメンテーションであり、前記MPLC装置がMPGA装置であり、並びに前記MPLCライブラリがMPGAライブラリであることを特徴とする請求項9記載の方法。

【請求項13】 前記MPLCインプリメンテーションがマスクプログラム可能な通常のセル(MPSC)インプリメンテーションであり、前記MPLC装置がMPSC装置であり、並びに前記MPLCライブラリがMPSCライブラリであることを特徴とする請求項9記載の方法。

【請求項14】 デジタル論理設計のフィールドプログラム可能なゲートアレイ(FPGA)インプリメンテーションを、前記デジタル論理設計のマスクプログラム可能な論理セル(MPLC)インプリメンテーションに変換するためのコンピュータ基礎システムにおいて、FPGA装置および前記FPGAインプリメンテーション達成する際に使用されるFPGAライブラリを表した情報を記憶するための情報記憶手段であって、前記FPGA装置は、

前記パッケージ上の複数のピンに動作的に関連した入力と出力ポートおよび内部に含まれたプログラム可能な論理回路をそれぞれ有する複数のプログラム可能な入力と出力インターフェースブロック(IOBs)、

20 入力と出力ポートおよび内部に含まれたプログラム可能な論理回路をそれぞれ有する複数のプログラム可能で配置自在な論理ブロック(CLBs)、

前記CLBsの入力と出力ポートおよび前記IOBsの入力と出力ポートを選択的に相互接続して信号遅延の量が可変である前記FPGA装置内で信号の経路選択をするための第1の信号ネットワークを形成する複数のプログラム可能な相互接スイッチを支持する基板含むパッケージを有してなり、

前記情報記憶手段が選択されたMPLC装置および前記MPLCインプリメンテーションを実現する際に使用されたMPLCライブラリを示す情報を更に記憶し、前記MPLC装置は少なくとも1つの相互接続レベルと前記MPLC基板上に複数のソフトCLBs及び複数のソフトIOBsを形成するために前記少なくとも1つの相互接続レベルにおいて選択的に配列されることができ論理セルのアレイとを備えた基板を有するパッケージを含み、前記MPLC内に前記第1の信号ネットワークに物理的に対応した第2の信号遅延の組を備えた信号経路選択用の第1の信号ネットワークを形成するために、各前記ソフトCLBおよび各前記ソフトIOBは前記MPGA基板上に計算可能な形状のメタライズ層を設けることで少なくとも1つの相互接続レベルにおいて相互接続可能である入力と出力を有し、

前記情報記憶手段に動作的に関連し、前記FPGA装置を使用して前記FPGAインプリメンテーションのためのFPGAネットリストを表す第1のデータ構造を生成するプログラムされた情報処理手段であって、前記FPGAネットリストは、前記FPGAインプリメンテーションに利用される各前記CLBのためのCLB記述、前記FPGAインプリメンテーションに利用される各前記

IOBのためのIOB記述、および前記FPGA装置内部に前記第2の信号ネットワークを形成するために、前記複数のプログラム可能な相互接続スイッチにより有効にされる、前記利用されたCLBsと前記利用されたIOBsの入力と出力ポートの間に確立されるべきポート接続性仕様を含む階層的な情報を含んでおり、前記プログラムされた情報処理手段は、前記MPLC装置を使用して前記MPLCインプリメンテーションのためのMPLCネットリストを表す第2のデータ構造を生成し、前記MPLCネットリストは、前記MPLC基板上に形成されるべき各前記ソフトCLBのためのソフトCLB記述、前記MPLCネットリスト内に特定される前記ソフトCLBsの入力および出力ポートの接続性を特定するソフトCLB接続性記述、前記MPLC基板上に形成されるべき各前記ソフトIOBのためのソフトIOB記述、並びに前記MPLCネットリスト内に特定される前記ソフトIOBsの入力および出力ポートの接続性と特定するソフトIOB接続性記述を含む階層的な情報を有し、および、前記プログラムされた情報処理手段は前記変更されたMPLCネットリストと前記MPLCライブラリを使用して形状データベースを更に生成し、前記形状データベースが、各前記ソフトCLBおよび各前記ソフトIOB、前記クロック信号生成手段の物理的な配置を特定する形状情報と、前記ソフトCLB接続性記述および前記ソフトIOB接続性記述に従って前記CLBsと前記IOBsの入力と出力ポートを相互接続する前記MPLC上の信号経路を特定する形状情報であって、前記FPGAインプリメンテーションの間に存在する相対的な信号遅延が前記MPLCインプリメンテーション内に実質的に保持され、これにより前記FPGAとMPLCインプリメンテーションの間の機能的な等価が確立されるものを含むことを特徴とするコンピュータ基礎システム。

【請求項15】 前記FPGA装置が更に、前記CLBsおよびIOBsにより使用されるためのクロック信号を生成するためのクロック信号生成手段、前記クロック信号内において前記CLBsおよびIOBsに経路選択するための第1の複数の導電素子を有するクロック信号分配構造を含み、前記コンピュータ基礎システムが更に、前記第2の情報構造に情報を加えるための手段を更に有し、これにより、前記MPLC上の前記クロック信号生成手段の記述と前記MPLC上の前記クロック信号分配構造の記述を有して変更されたMPLCネットリストを生成し、前記プログラムされた情報処理手段は、追加の形状情報を生成しおよび前記形状データベースに前記追加の形状情報を追加するために前記MPLCネットリストと前記

MPLCライブラリを使用し、前記追加の形状情報は、前記MPLC基板上の前記クロック信号生成手段を特定し、また前記MPLC基板上の前記クロック信号分配構造の物理的な経路選択を特定する、ことを特徴とする請求項14記載のコンピュータ基礎システム。

【請求項16】 前記プログラムされた情報処理手段が、前記変更されたMPLCネットリストに、前記FPGAインプリメンテーションを実現する際に使用されない前記FPGA装置内の各前記CLBのためのソフトCLBを追加するための手段をさらに含むことを特徴とする請求項15記載のコンピュータ基礎システム。

【請求項17】 前記形状データベースを使用して、光蝕刻処理用マスクの組を生成するための手段をさらに含むことを特徴とする請求項15記載のコンピュータ基礎システム。

【請求項18】 前記生成された光蝕刻処理用マスクの組を使用して、前記MPGA基板上の前記メタライズ層を形成するための手段をさらに含むことを特徴とする請求項17記載のコンピュータ基礎システム。

【請求項19】 前記MPLCインプリメンテーションがマスクプログラム可能なゲートアレイ (MPGA) インプリメンテーションであり、前記MPLC装置がMPGA装置であり、並びに前記MPLCライブラリがMPGAライブラリであることを特徴とする請求項15記載のコンピュータ基礎システム。

【請求項20】 前記MPLCインプリメンテーションがマスクプログラム可能な通常のセル (MPSC) インプリメンテーションであり、前記MPLC装置がMPSC装置であり、並びに前記MPLCライブラリがMPSCライブラリであることを特徴とする請求項15記載のコンピュータ基礎システム。

【発明の詳細な説明】

【0001】

【発明の分野】 本発明は、一般的には、フィールドプログラム可能な論理セル・インプリメンテーションをマスクプログラム可能な論理セル・インプリメンテーションに変換するための方法と装置に関するものである。より詳しくは、フィールドプログラム可能なゲートアレイ (FPGA) インプリメンテーションをマスクプログラム可能なゲートアレイ (MPGA) インプリメンテーションあるいはマスクプログラム可能な通常のセル (MPSC) インプリメンテーションに変換するための改良された方法と装置に関するものである。

【0002】

【従来の技術】 集積回路 (IC) チップのような電子装置は、例えば、製造、工業、科学、防衛、娯楽、および教育などの人類試行の多様な分野において現在使用されている。実際的には、この装置の目的は、その端子 (すなわち、ピン) に供給される信号により種々の機能を実

行することにある。

【0003】設計の観点からは、各装置はそれが実行する機能、つまり、その入力信号に対する出力信号の対応（すなわち、マッピング）により特徴付けられる。デジタル電子形式の装置の場合には、入力および出力信号は分離した（すなわち、2進数）値あるいは変数に制約され、また装置のデジタル入力と出力信号の間に達成することができるマッピング（すなわち、機能）の数は、装置が達成する可能な状態および装置が変遷する状態遷移の数により制限される。装置のデジタル入力と出力変数との間に達成される種々のマッピングはブール代数を使用して普遍的に説明され、またこれらのマッピングはしばしばブール関数として言及される。これらのブール関数をなんらかの特定の「デジタル電子設計」のために物理的に装置化しあるいは実現する際の態様は、基本的なブール関数を達成することができる、より単純な構成要素（論理ゲートのような）を必須的に含む。結果として得られた論理回路は、典型的には、従来の代数単純化方法、カルノー図、真理値表などを使用して単純化される。このようにして、特別な方法で多くのこの種の論理ゲートの入力と出力を結合および相互接続することで、あらゆる特定のデジタル論理設計が物理的に実現される。

【0004】一般的には、特定のデジタル論理設計を具現化するために使用される基礎技術においては、そのデジタル論理設計の入力-出力関数を実現するための結合と相互連結のために利用可能な論理ゲートの型を決定している。よって、理論的には、ブール表現の特別な組により特徴付けられる特定のデジタル論理設計を具現化するための方法は無限にある。そして、当然のことながら、最終目的は、最小数の論理ゲートを使用して設計の機能を実現するインプリメンテーションを見出すことである。

【0005】特定のデジタル論理設計を完成したなら、利用可能な技術を使用してデジタル論理設計を物理的に具現化することが必要となる。最近では、フィールドプログラム可能なゲートアレイ（FPGA）装置が低リスクの原型作りおよび少量生産用途において人気がある。

【0006】構造的には、各フィールドプログラム可能なゲートアレイ装置は、チップパッケージ内に含まれたシリコン基板上で実現された多数の基本構成要素、つまり、チップパッケージ上のピン、基本的論理動作を達成するための配列自在な論理ブロック（CLB）、特定のCLBsにチップパッケージ上のピンをインターフェースするための入力/出力インターフェースブロック（IOB）、並びにCLBsおよびIOBsの中から信号経路選択機能を達成するためのプログラム可能な相互接続切替ゲート有している。

【0007】典型的には、各CLBおよびIOBは、入力と出力との間で規定された所望の論理機能を実現する

ために選択的に配列することができる、結合的および逐次的な論理を有している。各CLBおよびIOBはまた、具現化されるべき特定の論理機能を選択するために機能する配列プログラムを記憶するためのランダムアクセスメモリ（RAM）に関連している。同様に、各切替ゲートはまた、CLBsおよびIOBsの入力および出力ポートの内から信号経路選択を行うするために機能するデジタルコードを記憶するためのランダムアクセスメモリに関連している。相互接続切替ゲートの働きは、それらの切替ゲートのランダムアクセスメモリ内に記憶されたデジタルコードによって決定される、CLBsおよびIOBsの中から信号の経路選択の制御を容易にすることにある。FPGA装置を使用した特定のデジタル論理設計を物理的に具現化する（つまり、実現する）ために、FPGA装置のシリコン基板上の各利用されたCLB、IOB、並びに切替ゲートを適切なデジタルコードとしてRAM内にプログラムすることが必要となる。

【0008】従来のFPGA装置を使用して、デジタル論理設計がどのように具現化されるのかをより詳細に説明することは、この理解の補助となる。

【0009】図1AのブロックAで例示したように、FPGAインプリメンテーション方法における第1のステップには、例えば、当業界においては良く知られている論理合成あるいは図式捕獲技術を使用してデジタル論理設計を生成することを含むものである。このステップは、デジタル論理設計をすべて表すブール論理表現の組を供給する。

【0010】図1AにおいてブロックBにより示したように、当該方法の第2のステップは、コンピュータを使用してFPGAインプリメンテーションのハードウェア記述を生成することである。この副処理では、開発プログラムを実行しているコンピュータにより解釈される高レベルのハードウェア記述言語を使用することを必要とする。Xilinx 2000および300シリーズFPGA装置のためには、FPGAインプリメンテーションはXilinx Netlist ファイルフォーマット（XNF）により示されている。一纏めにして考えて、FPGAインプリメンテーション内の構成要素を述べた記述的な命令文は、元の「ネットリスト」と称される。ここで、元のネットリストにおける各CLBおよびIOB記述は、各CLB（すなわち、サブネットワーク）内の論理を特定する論理モデル記述を有していない。XNFハードウェア記述言語の構文および論理節アレイ（LCA）ライブラリに関しては、本明細書にその全てが参考として取り入れられる、カリフォルニア州、サンホセのキシリンクス インコーポレーテッド（Xilinx, Inc.）による「LCA キシリンク ネットリスト スペシフィケーション、バージョン 2.00-1/26/89（LCA Xilinx Net

list Specification, Version 2.00-1/26/89)」(69頁)に、より詳細に記載されている。

【0011】図1AのブロックCにおいて示したように、当該方法の第3のステップは、デジタル論理設計内の論理のグループを、FPGA装置内のCLBsにマップするために、元のXNFネットリストおよびキシリンク(Xilinx)からの「xnfmap」プログラムを使用することを含んでいる。このステップにより各CLBおよび各IOBのための論理セルアレイ(LCA) 10 記述が生成される。キシリンク(Xilinx)からの「map2lca」プログラムが次いで、64CLB記述、60IOB記述、信号ピン出力記述、およびクロックドライバ記述までを含む、LCA記述を生成するために使用される。

【0012】図1AのブロックDに示したように、当該方法の第4のステップは、LCA記述を、CLBおよびIOB配置仕様、並びにFPGAインプリメンテーションのための信号経路選択情報を含んでいる最終的なFPGAネットリストに翻訳するために、キシリンク(Xilinx)からの「lca2xnf」プログラムを使用 20 することを含むものである。例示的なFPGAネットリスト内のCLB記述を実現するためのXNF命令文の組を図2に示した。

【0013】その後、図1BにおいてブロックEで示したように、コンピュータシステム2は、CLB、IOBおよびFPGA装置に乗る信号経路選択構成要素のランダムアクセスメモリのための「配列プログラム」(すなわち、デジタルコード)を発生するために、採取的なFPGA XNFネットリストを使用してキシリンク(Xilinx)からの「メイクビッツ(makebits)」プログラムを実行する。本質的には、CLBs、IOBsおよび相互接続切替器は、これらのプログラムによって制御される。これらのプログラムは、外部メモリに記憶される。電源投入または命令により、これらのデジタルコードは、FPGA装置のアプログラミングを仕上げてデジタル論理設計を物理的に実現するために、ブロックFに示したように、それぞれのRAM要素内にロードされる。

【0014】ここで、FPGAには特長と欠点の両方がある。例えば、プログラムされたFPGAテスト装置をベクトルを使用して試験した後においては、元のデジタル論理設計を変更し、次いで装置を再プログラムすることは容易で安価である。しかしながら、典型的なFPGAインプリメンテーションは、原型作りおよび少量生産には適しているものの、部品コストが高く、大量生産のためには高くなりすぎてしまう。よって、あるスレシ 40 ルドを越えた特定のデジタル論理設計の要求がある場合には、経済的な観点から、異なる、より経済的に適した技術が、当該デジタル論理設計をうまく具現化するため

に使用することが好ましい。

【0015】マスクプログラム可能なゲートアレイ(MPGA)装置のような、他のデジタル技術におけるFPGAインプリメンテーションの機能を具現化するプロセスは、一般的には「移行」あるいは「インプリメンテーション変換」を称され、最近ではかなり注目されている。通常は、変換プロセスは、FPGA装置内の論理要素(フリップフロップのような)および入力/出力(I/O)パッドの、MPGA装置内の対応構造へのマッピング、および次いでMPGAライブラリ内の利用可能な論理要素を使用して論理要素を再統合を必要とする。しかしながら、変換プロセスを実行する際に、元のFPGAインプリメンテーションのデザイナーが、当該FPGAインプリメンテーションの、マスクプログラム可能なゲートアレイ(MPGA)あるいはマスクプログラム可能な通常のセル(MPSC)技術のような、他の技術への変換(つまり、移行)における補助をできない場合がしばしばある。

【0016】FPGAからMPGAへのインプリメンテーション変換の必要に対応して、種々の半自動化された変換プロセスが開発されており、これらは現在は商業的な実施において使用されている。図3に、FPGAインプリメンテーションからMPGAインプリメンテーションに変換するための従来技術の方法を示した。ブロックAに示したように、この方法の第1のステップは、FPGAインプリメンテーションの記述(図1のプロセスにより生成された)をFPGAインプリメンテーションの「flat(フラット)」XNF記述に変換することを含んでいる。このステップの目的は、FPGAネット 30 リスト内のCLBボックスにより賦課されたFPGAインプリメンテーション上の全てのネットワークレベルでの制約を解除することにある。結果として得られる「flat(フラット)」ネットリスト記述においては、ゲートレベルでの論理仕様だけが存在している。このフラットな記述により、FPGAインプリメンテーションにおいてCLB内部で一度制限された論理ゲートは、他の論理ゲートに自由に再グループ化することができ、次いでMPGA基板上に再配置される。これらの論理ゲートの実際の再グループ化および再配置は、変換において使用される目標技術により決定されるインプリメンテーション案に従って決定される。

【0017】図3のブロックBに示したように、当該方法の第2のステップは、フラットなFPGAネットリストを続くインプリメンテーションのための所望のMPGAネットリストに変換することを含んでいる。次いで、ブロックCに示したように、当該方法はMPGA形状データベースを発生するために、MPGAネットリストおよびMPGAライブラリを使用することを含んでいる。ここで、この形状データベースは、MPGA基板上に複合メタライズパターンを形成するために必要とされる、多 50

数の「処理用マスク」を作るのに必要な位置および経路選択情報を有している。また、装置を最終的にプログラムし、またMPGAインプリメンテーションを実現する複合メタライズパターンは、FPGAインプリメンテーションおよび元のデジタル論理設計と機能的に同等である。次いで、ブロックDにおいて、MPGA形状データベースが処理用マスクを作るために使用される。ブロックEで示した最後のステップは、MPGA基板の相互接続レベルにメタライズパターンを物理的に付着させてMPGAインプリメンテーションを実現するために、作られた処理用マスクを使用することを含んでいる。

【0018】ところで、上記したFPGAインプリメンテーションからMPGAインプリメンテーションに変換する方法は有用であるものの、これは、1992年6月4日発行のエレクトロニックデザインニュース (Electronic Design News) の第107-116頁にあるチャールズ エッチ・スモール (Charles H. Small) 著の「FPGA変換」、1992年4月27日発行のエレクトロニック エンジニアリング タイムス (Electronic Engineering Times) の第46および46頁にあるリチャード ゴーリング (Richard Goering) 著の「FPGA-ASICへの移行計画」、1992年8月発行の「AT&T AIC Application Note: ソフト経路の移行: フィールドプログラム可能なゲートアレイからゲートアレイまたは通常のセルへ」、などに詳細に記載されたような多くの重大な問題を有している。

【0019】これらの問題の最も一般的な諸説は、上記の「FPGA変換」の文献に示されている。最初の問題は、FPGA装置内の各結合的な論理ブロックが、実質的に一定で且つそれによりエミュレートされる特別な機能に独立した、その固有の時間遅延に関連している。第2の問題は、FPGA装置における信号経路選択動作を達成するために必要とされる、プログラム可能な相互接続点および切換用ゲートが、装置内で具現化された論理機能をしばしば変化あるいは変更させてしまう実質的な信号遅延を引き起こすことに関連している。

【0020】FPGA内に所望の論理機能を具現化した場合、上記の問題は、FPGAインプリメンテーション内でのこれらの信号遅延をモデル化 (すなわち、FPGAネットワーク内での時間遅延ブロックの導入) することで、容易に取り扱える。ここで、これらの時間遅延は、ネットリスト中に記載された種々の要素を実現するために使用される命令文により明示的に表現される。

【0021】しかしながら、従来の方式を使用してFPGAからMPGAインプリメンテーション変換を達成する場合、図4に図式的に例示したように、FPGA基板からMPGA基板上にはCLB論理の予測できない空間的なマッピングが存在する。この結果、上記した時間遅

延問題を解決することは可能なことではなく、実際には、技術変換プロセスの間に他のタイミングに関する問題がしばしば生じてしまう。

【0022】よって、当該分野においては、従来技術のシステムおよび処理に関連した問題を克服しつつ、FPGAインプリメンテーションを、MPGAインプリメンテーションあるいはMPSCインプリメンテーションのようなマスクプログラム可能な論理セルインプリメンテーションに変換するための方法と装置を提供する必要性が高い。

【0023】したがって、本発明の主要な目的は、従来技術のシステムおよび処理に関連した問題を克服しつつ、FPGAインプリメンテーションを、MPGAインプリメンテーションあるいはMPSCインプリメンテーションのようなマスクプログラム可能な論理セルインプリメンテーションに変換するための方法と装置を提供することにある。

【0024】本発明の他の目的は、配列自在な論理ブロックの相対的な物理的配置、ネットワークレベルの信号経路、並びにFPGAインプリメンテーションのクロック分配ツリーが、変換処理が完了した後において、マスクプログラム可能な論理セル (MPLC) 基板上で保存されるような、変換方法とシステムを提供することにある。MPLCインプリメンテーションのネットワークレベルにおいてMPLC基板上で対応する構造の物理的配置を束縛することで、FPGAインプリメンテーションの間に存在する相対的な信号およびクロック遅延がMPLCインプリメンテーション内に保持され、これによりFPGAおよびMPLCインプリメンテーションの間の機能的な等価が確立される。

【0025】本発明のさらに別の目的は、論理再合成を提供するために適切にプログラムされたコンピュータを基礎とするワークステーションの形態で、そのようなシステム、および本発明の方法を実行するのに必要な配置および経路選択ツールを提供することにある。本発明のさらに他の目的は、本発明の方法にしたがって製造した、半導体チップ上に超大規模集積 (VLSI) 回路を提供することにある。本発明のこれらおよび他の目的は、以下の記載および特許請求の範囲を参照して自明となるものである。

【0026】

【発明の詳細な記述】本発明の目的のより完全な理解のために、本発明の実施例を添付図面と関連させて詳細に説明する。

【0027】本発明の方法と機構を、図5から図14を参照して、詳細に説明する。一般的には、本発明の方法は、例えば、MPGAあるいはMPSCインプリメンテーションのような、あらゆる所望のMPLCインプリメンテーションをFPGAインプリメンテーションに変換する際に使用することができる。例示だけの目的で、本

発明の方法と機構は、Xilinx 2000シリーズのFPGA装置、Xilinx 3000シリーズのFPGA装置、あるいはAT&TシリーズのFPGA装置のいずれかにもともと具現化された例示的なデジタル論理設計に関連して説明する。本発明の第1の例示的な実施例では、本発明の方法は、FPGAインプリメンテーションを、AT&TシリーズATT656MPGAライブラリを利用して実現される、機能的に同様なMPGAインプリメンテーションに変換する際に使用される。本発明の第2の例示的な実施例では、本発明の方法は、FPGAインプリメンテーションを、AT&TシリーズHS900Cライブラリを利用して実現される、機能的に同様なMPSCインプリメンテーションに変換する際に使用される。ここで、しかしながら、本発明の方法と機構は、異なるタイプのFPGAとMPLCを基礎とする装置を使用して実施することもできる。

【0028】図5に例示したように、本発明の機構1は、多数の集合されたサブシステム、つまり、コンピュータワークステーション2、光蝕刻マスク生成システム3、並びにメタライズ層蒸着システム5から構成される。特に、ワークステーション2の主要な機能は、論理合成と再合成、構成要素配置と経路選択、並びに後述する他の機能を達成することである。システム3の機能は、光蝕刻マスクワーク4を作製することである。システム5の主要な機能は、これらの作製されたマスクを、「MPGA基板」（およびMPSC基板）7上にメタライズパターン6を形成するために使用することである。

【0029】以下に使用するように、各「MPGA基板」は「メタライズ段階」までに前処理されている。この材料処理段階では、各論理のロケーションは予め規定されており、また必要なことはMPGA装置をプログラムしてこの基板上に(i)信号経路選択目的のための電気的な相互接続、並びに(ii)A-CLSとG-CLK分配ツリー並びに全体的なリセット分配ツリーのためのクロックライン、を形成することである。従来のメタライズプロセスを用いてこれらの構造を形成するために、これらの電気的な相互接続の物理的寸法(すなわち、領域)およびロケーション、並びにMPGA基板の表面のクロックラインの物理的寸法およびロケーションを、最初に決定することが必要となる。後述するように、この必要な情報は、変換プロセスの完了により最終的に生成される。

【0030】図5に示したように、ワークステーション2は多数の集合されたシステム構成要素、つまり、1つまたはそれより多い中央処理ユニット10(例えば、マイクロプロセッサ)、オペレーティングシステムプログラム、並びに本発明の種々の開発および変換プログラム(つまり、ツール)を記憶するためのプログラムメモリ装置11、設計および変換処理の間に種々のデータ構造を記憶するためのランダムアクセスデータ記憶メモリ

(RAM)12、LCA(つまり、PFGA)ライブラリ、MPGAライブラリ、およびMPGA形状データベースの構成要素に関する情報を記憶するためのデータ記憶メモリ13、視覚ディスプレイスクリーンまたは面を備えた視覚ディスプレイユニット14、ポインティングおよび選択装置(例えば、マウスあるいはトラックボール)16、並びにマスク発生機3およびメタライズ蒸着機5とインターフェースするための1つまたはそれより多いシステムインターフェース17、などを有している。図示したように、システムの各構成要素は、当業界において公知の方法で1つまたはそれより多いシステムバス18を介してプロセッサ10と動作的に関連している。好適な実施例においては、オペレーティングシステムはUnix(登録商標)X-Windowsであり、少なくとも2つの入力/出力ウィンド、ポインティングおよび選択装置16、並びにマルチタスク動作をプロセッサがサポートするのを許容している。ここで、しかしながら、許容できる結果を有する他の適当なオペレーティングシステムプログラムも使用できる。

【0031】図6Aに示したように、例示した実施例のFPGA装置20は、シリコン基板上に形成されたCLBSのアレイを含んでいる。FPGA装置のチップパッケージ上のピンと選択されたCLBsの入力および出力ポートとの間の相互接続を提供するため、IOBsのリングがFPGA基板上のCLBアレイの回りに形成されている。例示した実施例では、各CLBは、RAMをCLBに関連して単にプログラムすることで、必要に応じて選択的に配列自在である、結合的および逐次的な論理の双方を有している。同様に、各IOBは、RAMをIOBに関連して単にプログラムすることで、必要に応じて選択的に配列自在である、結合的および逐次的な論理の双方を有している。

【0032】図7に、例示した実施例のFPGA装置のための論理セルマップを示した。例示したように、各CLBは、列と欄のアドレス、例えば図示したようにA、BD等により特定される、シリコン基板上の特別なロケーションが割り当てられている。同様に、IOBの各ロケーションは、ピン番号、例えばP21により特定される周辺アドレスにより同定される。

【0033】図9に、メタライズ段階まで前処理されたMPGA基板の面内に埋め込まれたデカルト(x-y)座標システムを示した。図示したように、各論理セル(論理ゲート)の物理的ロケーションは、xおよびyの値の範囲により特定される。典型的には、FPGAインプリメンテーション内の特定のCLBにより実行される等価の論理機能を実現するために、MPGA基板上の多くの論理ゲートを相互接続する必要がある。MPGAインプリメンテーションにおいては、この論理のブロックは、FPGAインプリメンテーション内のその対応するCLBが有しているのに対して、ハードまたは物理的に

規定された境界を有しておらず、このため、その仮想的キャラクタを示すために以後および請求の範囲においてはこれを「ソフトCLB」と称する。本発明によれば、ネットワーク（すなわち、相互接続）レベルはMPGAインプリメンテーションのために規定され、FPGAインプリメンテーションの場合には存在する物理的な境界がMPGAインプリメンテーションのネットワークレベルにおいては存在しないが、各ソフトCLBがネットワーク（あるいは相互接続）レベルにおいて予め規定された入力と出力ポートを有している。本発明の目的を実施

するために、これらの入力および出力ポートは、図11Cに示したように、MPGAネットリスト内のソフトCLB接続性記述内に特定されている。

【0034】同様に、MPGAインプリメンテーションにおいては、FPGAインプリメンテーション内のその対応するIOBが有しているのに対して、IOBのための等価構成はハードあるいは物理的に規定された境界を有していない。このため、MPGAインプリメンテーション内のIOBのための等価構成は、その仮想的キャラクタを示すために、これを以後および請求の範囲においては「ソフトIOB」と称する。よって、FPGAインプリメンテーションのネットリスト内の各IOBのために、「ソフトIOB」がMPGAネットリスト内に規定される。多くのインプリメンテーションにおいては、ソフトIOBは、I/Oパッドにより、および時には単純な論理レベルドライバとともに実現される。また、連結性および/または逐次的な論理機能は多くの用途でしばしば必要とされ、これらの機能は多くのMPGAライブラリにおいて利用可能である。MPGAインプリメンテーションのネットワークまたは相互結合レベルにおい

て、本発明の方法を実施する目的で、各ソフトIOBは入力および出力ポートを予め規定する。これらの入力および出力ポートは、図11Dに示したように、MPGA内のソフトIOB接続性記述内に特定される。

【0035】図13Aと13Bを参照して、本発明の変換方法をより詳しく説明する。図13AのブロックAに示したように、本方法の第1のステップは、変換されるべきFPGAインプリメンテーションのための最終的なFPGA（XNF）ネットリストを生成するために、図1のAからDの現在のステップを実行することである。ここで、結果的に得られたFPGAインプリメンテーションのためのネット記述は、FPGA装置のシリコン基板上の結合的な論理ブロック（CLB）の物理的な配置に関する階層情報を含んでいる。変換処理のこの段階から生成された例示的なFPGAネットリストを図式的に図10に示した。

【0036】図10に示したように、FPGAネットリストは、多数の構成要素記述、つまりファイルまたは回路名、FPGAインプリメンテーション内に使用される各CLBのためのCLB記述、FPGAインプリメンテ

ーション内に使用されるこのようなIOBのためのIOB情報、FPGAインプリメンテーションに使用されるクロックのためのクロックドライバ記述、並びにチップパッケージ上のピンのための信号ピン出力記述、などを含んでいる。

【0037】一般的には、各CLB記述は多数の情報項目、つまりCLB名、信号名の項目で表現されたCLB I/Oポート記述（例えば、IBLANE）、図7に示された論理セルアレイロケーションの項目を表現したCLBロケーション記述（例えば、AA）、並びにCLBを実現するために使用されるFPGAライブラリ要素を記述したCLB論理モデル記述、などを含んでいる。ここで、各入力ポートの各CLBへの記述は、CLBの入力ポートとCLBに供給される信号の源との間の信号遅延部に関する信号経路選択遅延情報を含む信号時間遅延フィールドを有している。この信号経路選択遅延情報は、典型的には、当業分野においては良く知られており、当業界で良く知られている方法で行われる、回路設計シュミレーション、コンピュータを基礎とする「レイアウト」ツールにより生成される。

【0038】同様に、各IOB記述は多数の情報項目、つまりIOB名、ピン番号の項目で表現された基板上のIOBロケーション、信号名の項目で表現されたIOB I/Oポート記述（例えばIBLANE_1）、並びにFPGAライブラリ要素の項目で表現されたIOB論理モデル記述、などを含んでいる。FPGAインプリメンテーションのネットワークレベルにおいて、論理の各個々のグループはそのCLB名（例えば、IRELAY_1）により規定され、またFPGA XNFネットリスト内にリストされたXNF命令文の組により記述される。ここで、出力ドライバとして配列された各IOBの各入力ポートの記述は、IOBおよびIOBに供給される信号の源との間の信号経路選択部分に関する信号経路選択遅延情報を含んだ、信号時間遅延フィールドを含んでいる。この信号経路選択遅延情報は、コンピュータを基礎とする上記した「レイアウトツール」により同様に生成され、また回路設計シュミレーションの間に同様に使用される。AT&T3020シリーズでは、FPGA装置は64論理セル、64CLB記述までを含む階層FPGA XNFネットリスト、60IOB記述、クロックドライバ記述、並びに信号ピン出力記述を有する。図示は省略したが、XNF命令文の組が、図10に示されたFPGAネットリスト内に特定された記述的な要素をそれぞれ実現するために使用される。このような記述のためのXNFフォーマットは、図8BのCLB記述内に例示した。

【0039】図13AのブロックBに示したように、本方法の次のステップは、FPGAネットリスト記述内のそのCLB名により規定された（すなわち、FPGAインプリメンテーション内のCLB内に制限された）各個

10

20

30

40

50

々の論理のグループに対して局部的に「論理再合成」を実行することである。従来のどんな論理合成技術でも使用することができる。このステップは、図10に図式的に例示したように、FPGA XNFネットリストをMPGA LSLネットリストに翻訳することから開始される。AT&Tシリーズ3020FPGA装置(64論理セルを有する)を使用したFPGAインプリメンテーションのために、この変換処理のステップは、FPGAネットリストのために選択されたファイル名の名に対応するファイルまたは回路名、FPGAインプリメンテーション内に利用される各CLBのためのソフトCLB記述、FPGAインプリメンテーション内に利用される各IOBのためのソフトIOB記述、上記したソフトCLB接続性記述、並びに上記したソフトIOB接続性記述などの、多くの要素記述を含む「階層的な」MPGAネットリストを生成する。ここで、図10のネットリスト内に示されたA-CLK信号分配ツリー記述、G-CLK信号分配ツリー記述、並びに全体的なりセット信号分配ツリー記述は、この変換処理のプロセスの間には生成されないが、むしろ以下のステップCの間にネットリストに手作業で追加しなければならない。

【0040】図10に示したように、ソフトCLB記述は多くの情報項目、つまり、その入力および出力ポートを記述したソフトCLB I/Oポート記述、FPGAインプリメンテーション内の対応するCLBのロケーションと同じソフトCLB名、並びに対応するCLBのサブネットワークを含む再合成された論理構成要素を特定するための、各ソフトCLBのための論理記述モデル、などを含んでいる。MPGAソフトCLBネットリスト内の接続性記述はネットワーク内のソフトCLBのリストおよびMPGAインプリメンテーションのネットワークレベルにおけるその入力と出力の相互接続のための仕様を含んでいる。ここで、これらのポート相互接続は、信号名(例えば、図11Cに例示したようにX00228X)の項目で表現される。同様に、MPGAネットリスト中のソフトIOB接続性記述は、ネットワーク内のソフトIOBsのリストおよびMPGAインプリメンテーションのネットワークレベルにおけるその入力および出力ポートの相互接続のための使用を含んでいる。これらのポート相互接続は、図11Dに例示した信号の項目によっても表現される。生成されたMPGAネットリスト中のこれらの記述のそれぞれを実現するために使用される論理シュミレーション言語(LSL)命令文の組は、図11Aから11Dに述べた。

【0041】図12においてCLBのためのグラフ的に例示した論理再合成ステップの間に、FPGAネットリストの同様なXNF内のCLBのロケーションを特定するために使用されるコードは、MPGAネットリスト内でその対応するソフトCLBのソフトCLB名を特定するために使用される。この同じコードは、(i) PFG

Aネットリスト内の特定のCLB(つまり、サブネットワーク)内に含まれる論理と、並びに(ii)MPGAネットリスト内の対応するソフトCLB内に含まれる再合成された論理とを符号させるために、使用される。本発明の方法はMPGA内の対応する論理のブロックが正しく同定され、且つ、「配列と経路選択」ステップの間に物理的に同じ相対的なロケーションに配置されることを保証している。図10に示したように、特定のCLBのためのCLB論理モデル記述は、MPGA基板上のソフトCLBに対応する論理を再合成するために使用される。

【0042】図13AのブロックCで示したように、本発明の第3のステップは、本発明に従ってMPGAインプリメンテーションを実行するために必要となる特定の構造に関連した4つの追加の情報の項目を特定する(すなわち、リスト)するために、上記したステップBの間に生成された階層的なMPGAネットリストを変更することを含む。図10のネットリストに例示したように、これらの追加の変更はA-CLK信号分配ツリー、G-CLK信号分配ツリー、全体的なりセット信号分配ツリー、並びにMPGA基体上で形成されるCLBクロックロードが同定される。

【0043】MPGAネットリストに追加されるべき情報性事項は、A-CLK信号分配ツリーNOのための、LSLネットリスト記述である。図11Eに示されたA-CLK信号分配ツリー記述を実現するためのLSL命令文中に例示したように、A-CLK信号分配ツリーの各欄ラインは、MPGAライブラリ内の利用可能な要素(例えばF102)から合成されたクロックドライバを有している。例示的な実施例においては、ツリーは10欄を有し、よってA-CLS信号分配ツリーのLSLステートメントにより特性された10クロックドライバを有する。

【0044】MPGAネットリストに追加される第2の情報性の事項は、MPGA基板上でG-CLK信号分配ツリーを実現するための、ネットリスト記述である。図11Fに例示したように、G-CLK信号分配ツリーの各欄線はMPGAライブラリ内の利用可能な要素(例えばF102)から合成されたクロックドライバを有している。例示した実施例においては、ツリーは10欄を有し、よってクロックドライバがG-CLK信号分配ツリーのLSL命令文内に合成されている。

【0045】MPGAネットリストに追加される第3の情報項目は、MPGA基板上に形成される全体的なりセット信号分配のためのLSLネットリスト記述である。図11Gに例示したように、全体的なりセット信号分配ツリー内の各欄は、MPGAライブラリ内の利用可能な要素(例えば、F102)から合成されたクロックドライバを有している。例示した実施例では、このツリーは10欄を有し、よって全体的な信号分配ツリーのための

LSL命令文内には10ドライバが合成される。

【0046】MPGAネットリストに追加される第4の情報項目は、FPGAネットリスト内では特定されていない各CLBのための、MPGA基板上に形成されるCLBクロックロードのためのLSL記述である。図11Hに例示したように、これらソフトCLBロードは入力および出力ポート、並びにMPGAインプリメンテーションのネットワーク（つまり、相互接続）レベルにおけるソフトCLBsのポートとA-CLKおよび／またはG-CLK信号分配ツリーのいずれかのラインとの間の相互接続を特定するサブ値とワーク記述を有する。つまりソフトCLB内の各入力ポートは、クロック信号経路選択ネットワーク内に、FPGAインプリメンテーション内の関連したクロックドライバ内に存在する（つまり「により検出される」）インピーダンスに実質的に等しいインピーダンス（つまり、ロード（負荷））を導入する。典型的には、各CLBロードは、当業分野においては良く知られている「分配された」タイプのキャパシタンスおよび／またはレジスタンス規準の用語により特定される。以下により詳細に説明するように、このようなインピーダンス規準を導入する目的は、FPGAインプリメンテーション内のクロック信号ドライバにより検出されるインピーダンスがMPGAインプリメンテーション内のクロック信号ドライバにより検出されるインピーダンス規準と実質的に同じであることを確保することであり、これにより、インプリメンテーション間のクロック信号のスキュー（および、論理機能）が保持される。ここで、各CLBロードはMPGAインプリメンテーション内のクロック信号経路選択用ネットワーク内に所望のロードを導入する一方、MPGAインプリメンテーション内のそれらの対応するCLBがFPGA装置内に形成された（I/O）信号KEIRO決定用ネットワークに接続されていないために、CLBロードは、しかしながら、MPGAインプリメンテーションの相互接続レベルにおいて実現される（I/O）信号経路選択用ネットワークを通過する（I/O）信号に対してなんらかの負荷効果を与えない。

【0047】本方法における上記の4つのサブステップの結果として、MPGAインプリメンテーションのための、変更された階層的なMPGAネットリストが得られる。ここで、結果的に得られたMPGAネットリストは、MPGAライブラリ要素の物理的な配置、あるいはA-CLK、G-CLK、並びにMPGAネットリストに記載された全体的な信号分配ツリーに関する情報を含んでいない。

【0048】図13BのブロックDに示したように、本発明の方法の次のステップは、計上データベースを発生するために、上記で生成された変更された階層的なMPGAネットリストおよびMPGAライブラリを使用することを含むものである。この形状データベースの機能

は、MPGA基板上において、論理ゲート、クロックドライバ、クロックライン、並びに図10の変更されたMPGA内に記述されたソフトCLBロードを含む全てのライブラリ要素が物理的に実現されるかを特定することにある。一般的には、この配置と経路選択情報を発生させるための処理は、図9に示されたMPGA基板上のそれぞれのこのような要素の正確な物理的な配置を計算するために、（i）変更されたMPGAネットリストの特別な要素の記述内に特定された情報、および（ii）MPGAライブラリ内に特定されたこれら特別な要素に関する形状情報を使用する「場所および経路」プログラムにより実行される。

【0049】変更されたMPGAネットリスト内に記載された各ソフトCLBおよびCLBクロックロードのために、場所および経路プログラムは、ソフトCLB内に再結合させた接続性および／または逐次的な論理を実現するために、メタライズパターンにより論理ゲートが相互連結されるMPGA基板上の特定の面積（つまり、領域）を特定するxおよびy座標の範囲（例えば形状のデータ）を生成する。この座標データの組が計算されることによる処理は、FPGA基板の指標である列、欄をMPGA基板上の空間的に対応するx、y座標の組にマップするために、CLBのCLBロケーション（例えば、AA）およびオフセットパラメータを採用している。このような1対1の座標変換を図12に図式的に例示し、これは各ソフトCLBが、そのFPGA基板上の対応するCLBのように、MPGA基板上の基板上の比較的に同じロケーションに配置されることを確保できるという特長がある。このマッピング状態は、MPGAインプリメンテーション内で発生する同じクロック信号スキューが、FPGAインプリメンテーション内で発生するものと比較的に同じであることを保証するものであり、これにより、MPGAインプリメンテーションのネットワークレベルにおける再同期化された論理と機能的に等価であることが確保される。MPGAネットリストのソフトCLB接続性記述内に記載された各ソフトIOBのために、プログラムは、MPGAインプリメンテーションのネットワークレベルにおける入力と出力ポートの間の金属性の相互接続の物理的な配置を規定するxおよびy座標の範囲を発生する。この座標データの組が計算される手順は、FPGA基板の周囲上のピン番号をMPG基板の周囲上のx、y座標の空間的に対応する組にマップするために、IOBのIOBロケーション（例えば、ピン番号P21）およびオフセットパラメータを採用している。これは、図12に図式的に例示した1対の座標変換プロセスであり、各ソフトIOBが、FPGA上のその対応するIOBのように、MPGA上の比較的に同じロケーションに位置することを同様に確保できる。この状態を変換プロセスを通して維持することで、MPGAインプリメンテーション上の（I/O）信号遅延がFP

GAインプリメンテーション上で発生するものと比較的に同じとなる。

【0050】A-CLK信号分配ツリー記述内の各ドライバのために、場所および経路プログラムは、クロックドライバの物理的な配置およびクロックドライバから各ソフトCLBおよびMPGAネットリストに記載されたCLBロードに伸びる金属性のクロック分配ブランチを特定するxおよびy座標の範囲を発生する。各クロックドライバおよび分配ブランチのためにこの座標データの組が計算される手順では、FPGA基板上の各クロックドライバのロケーションをMPGA基板の周囲上の空間的に対応するx、y座標の組内にマップするために、ドライバ名および経験的に決定可能なオフセットパラメータを採用している。この手順はまた、FPGA基板上のA-CLK信号分配ツリーのブランチのロケーションをMPGA基板上の空間的に対応するx、y座標の組内にマップするために、ドライバ名およびオフセットパラメータを使用している。これはまた、1対1の座標変換プロセスであり、FPGA基板上のその対応するクロックドライバおよびその関連するクロックパルス分配ブランチのように、クロックドライバおよびその関連するクロックパルス分配ブランチがMPGA基板上の相対的に同じロケーションに位置されることを確保できる。

【0051】G-CLK信号分配ツリー記述内の各ドライバのために、場所および経路プログラムは、クロックドライバの物理的な配置およびクロックドライバから各ソフトCLBおよびMPGAネットリストに記載されたCLBロードに伸びる金属性のクロック分配ブランチを特定するxおよびy座標の範囲を発生する。各クロックドライバおよび分配ブランチのためにこの座標データの組が計算される手順では、FPGA基板上の各クロックドライバのロケーションをMPGA基板の周囲上の空間的に対応するx、y座標の組内にマップするために、ドライバ名および経験的に決定可能なオフセットパラメータを採用している。この手順はまた、FPGA基板上のG-CLK信号分配ツリーのブランチのロケーションをMPGA基板上の空間的に対応するx、y座標の組内にマップするために、ドライバ名およびオフセットパラメータを使用している。これはまた、1対1の座標変換プロセスであり、FPGA基板上のその対応するクロックドライバおよびその関連するクロックパルス分配ブランチのように、クロックドライバおよびその関連するクロックパルス分配ブランチがMPGA基板上の相対的に同じロケーションに位置されることを確保できる。この状態を変換プロセスを通して維持することで、MPGAインプリメンテーションの周囲の信号遅延がFPGAインプリメンテーション上で発生するものと比較的に同じとなる。

【0052】全体的なリセット信号分配ツリー記述内の各ドライバのために、場所および経路プログラムは、ク

ロックドライバの物理的な配置およびクロックドライバから各ソフトCLBおよびMPGAネットリストに記載されたCLBロードに伸びる金属性のクロック分配ブランチを特定するxおよびy座標の範囲を発生する。各クロックドライバおよび分配ブランチのためにこの座標データの組が計算される手順では、FPGA基板上の各クロックドライバのロケーションをMPGA基板の周囲上の空間的に対応するx、y座標の組内にマップするために、ドライバ名および経験的に決定可能なオフセットパラメータを採用している。この手順はまた、FPGA基板上の全体的なリセット信号分配ツリーのブランチのロケーションをMPGA基板上の空間的に対応するx、y座標の組内にマップするために、ドライバ名およびオフセットパラメータを使用している。これはまた、1対1の座標変換プロセスであり、FPGA基板上のその対応するクロックドライバおよびその関連するクロックパルス分配ブランチのように、クロックドライバおよびその関連するクロックパルス分配ブランチをMPGA基板上の相対的に同じロケーションに位置するのを確保する際に有用である。多くの全体的なリセット機構は動作が非同期であるため、MPGAインプリメンテーション内のクロック信号のためにリセット信号「スキュー」を同じ程度に制御する必要がない。しかしながら、本発明のように、多数のドライバを備えたリセット信号分配ツリーを使用することは、従来技術のインプリメンテーションにおいて使用される単一のリセット信号ドライバおよびランダムリセット信号経路選択ネットワークを使用する場合に比べて好ましい。

【0053】上記した状態を変換プロセスを通して維持することで、MPGAインプリメンテーションの周囲の信号遅延がFPGAインプリメンテーション上で発生した場合と比較的に同じものとなる。

【0054】上記の位置および経路選択ステップの間に生成された全ての座標情報は、形状データベースを形成するためにメモリ13内に記憶される。特に、このデータベースは、前処理されたMPGA基板上に形成されたいくつかかのメタライズされたサブパターンの物理的な寸法と配置を正確に特定するのに十分な座標データを含んでいる。

【0055】図13BのブロックEに示したように、本方法の次のステップは、ブロックEで生成された形状データベースのファイルに含まれた形状情報をシステム3に供給することを含んでいる。このような形状情報を使用することで、システム3は、前処理されたMPGAの相互接続レベルにおいてメタライズ層を形成するために使用される、多数の光蝕刻性の処理用マスク4を生成する。これらのメタライズ層は、前処理されたMPGA基板をプログラムして、変更されたMPGAネットリスト内に記載された論理機能によって特徴付けられるMPGAインプリメンテーションを生成することができる。

【0056】図13BのブロックFにおいて、本発明の方法の最後のステップは、前処理されたMPGA基板上にメタライズ層を形成するために、ブロックFにおいて生成された光蝕刻性の処理用マスク4を使用する。上記したように、材料処理のこの最終段階により、FPGAインプリメンテーションと機能的に等価なMPGAインプリメンテーションが得られる。

【0057】本発明はまた、上記した方法を次のように単に変更するだけで、FPGAインプリメンテーションをMPSCインプリメンテーションに変換する際にも同様に使用される。

【0058】図13AのブロックBにおいて、MPGAライブラリの代わりにMPSCライブラリを使用する。この変更の結果、MPSCネットリストは、MPGAの実施例の場合と本質的には同じである、ソフトCLB記述、ソフトIOB記述、並びにソフトIOB接続性情報を有する。加えて、MPSCネットリストは、ネットワークレベルでのポート接続性情報だけでなく、MPSCインプリメンテーションでの1つまたはそれより多いサブネットワークレベルにおけるポート接続性情報も有した、ソフトCLB接続性情報を含んでいる。図13AのブロックCにおいて、MPSCネットリストは上記の方法により変更される。図13Bにおける配置および経路選択の間に、変更されたMPSCネットリスト内にリストされた全ての構造が、上記したのと実質的に同じ方法で、MPSC基板上に物理的に配置または経路選択され、MPSCインプリメンテーションのための形状データベースが生成される。次いで、ブロックEにおいて、形状データベースは、MPSCインプリメンテーションの予め規定されたネットワークおよびサブネットワークレベルのための処理用マスクの組を生成する。ブロックFにおいて、これらの処理用マスクは、FPGAインプリメンテーションと機能的に等価であるMPSCインプリメンテーションを物理的に実現するのに十分である、複合のメタライズ層をMPSC基板上に形成するために利用される。

【0059】以上、本発明を、デジタル論理設計のFPGAインプリメンテーションをこのようなデジタル論理設計のMPLCインプリメンテーションに変換する場合において最も有用である実施例を例にとって説明した。しかしながら、この本発明の例示的な実施例に種々の変更や変形を行うことは、当業者にとっては想定容易である。従って、このような全ての変更や変形は、添付した請求の範囲に記載された本発明の範囲に属するものである。

【図面の簡単な説明】

【図1A】図1Aは、従来のFPGA装置を使用して、デジタル論理設計を具現化する方法において達成されるステップを例示した高レベルのフローチャートである。

【図1B】図1Bは、従来のFPGA装置を使用して、

デジタル論理設計を具現化する方法において達成されるステップを例示した高レベルのフローチャートである。

【図2】例示的なFPGAネットリストにおける単一のCLB記述のためのXNF命令文の組を示した説明図である。

【図3】図3は、従来技術の方式を使用して、FPGAインプリメンテーションをMPGAインプリメンテーションに変換するプロセスの間に達成されるステップを例示した高レベルのフローチャートである。

【図4】図3に示した従来技術の方式を使用して、FPGAインプリメンテーション内の論理セルを機能的に等価であるMPGA内の論理セル内にマッピングするプロセスを例示した説明図である。

【図5】本発明のアログラムされた機構の構成要素を例示したシステムブロックダイアグラムである。

【図6A】アログラム可能な相互接続用切換器を介してネットワークレベルで相互接続された、配列自在な論理ブロックおよび入力と出力インターフェースブロックを示した説明図である。

【図6B】アログラム可能な相互接続用切換器を介してネットワークレベルで相互接続された、配列自在な論理ブロックおよび入力と出力インターフェースブロックを示した説明図である。

【図6C】アログラム可能な相互接続用切換器を介してネットワークレベルで相互接続された、配列自在な論理ブロックおよび入力と出力インターフェースブロックを示した説明図である。

【図6D】アログラム可能な相互接続用切換器を介してネットワークレベルで相互接続された、配列自在な論理ブロックおよび入力と出力インターフェースブロックを示した説明図である。

【図6E】アログラム可能な相互接続用切換器を介してネットワークレベルで相互接続された、配列自在な論理ブロックおよび入力と出力インターフェースブロックを示した説明図である。

【図7】図6に示したFPGA装置のための、(論理セル)構成要素の配置マップを図式的に示した説明図である。

【図8A】特定のデジタル論理設計のFPGAインプリメンテーションのための、FPGAネットリストの要素を図式的に示した説明図である。

【図8B】例示的なFPGAネットリストのファイル名記述のための、XNF命令文の組を示した説明図である。

【図8C】例示的なFPGAネットリストの単一のCLB記述のための、XNF命令文の組を示した説明図である。

【図8D】例示的なFPGAネットリストの単一のIOB記述のための、XNF命令文の組を示した説明図である。

【図8E】例示的なFPGAネットリストのクロックドライバ記述のための、XNF命令文の組を示した説明図である。

【図8F】本発明の例示した実施例のFPGA, MPGA, 並びにMPSCライブラリ内の構成要素のリストを示した説明図である。

【図9】メタライズ段階まで準備されたMPGA基板の形状の平面図である。

【図10】特定のデジタル論理の設計のための、FPGAインプリメンテーションのFPGAネットリストから変更されたMPGAネットリスト記述を生成するプロセスを図式的に例示した説明図である。

【図11A】図11Aは、例示的なMPGAネットリストのファイル名記述のためのLSL記述の組を示した説明図である。

【図11B】図11Bは、例示的なMPGAネットリストの単一ソフトCLS記述のためのLSL記述の組を示した説明図である。

【図11C】図11Cは、例示的なMPGAネットリストのソフトCLB接続性記述のためのLSL記述の組を示した説明図である。

【図11D】図11Dは、例示的なMPGAネットリストのソフトIOB接続性記述のためのLSL記述の組を示した説明図である。

【図11E】図11Eは、例示的なMPGAネットリストのAクロック分配ツリー記述のためのLSL記述の組を示した説明図である。

【図11F】図11Fは、例示的なMPGAネットリストのGクロック分配ツリー記述のためのLSL記述の組を示した説明図である。

【図11G】図11Gは、例示的なMPGAネットリストの全体的なりセット分配ツリー記述のためのLSL記述の組を示した説明図である。

【図11H】図11Hは、例示的なMPGAネットリストのCLBロード記述のためのLSL記述の組を示した説明図である。

【図12】本発明の方式を使用して、FPGAインプリメンテーションをMPGAインプリメンテーションにマッピングする処理を図式的に例示した説明図である。

【図13A】図13Aは、本発明の方式を使用した、FPGAインプリメンテーションをMPGAインプリメンテーションに変換するための処理内において実行されるステップを図示したフローチャートである。

【図13B】図13Bは、本発明の方式を使用した、FPGAインプリメンテーションをMPGAインプリメンテーションに変換するための処理内において実行されるステップを図示したフローチャートである。

【符号の説明】

- 2 ワークステーション
- 6 メタライズパターン
- 10 中央処理ユニット
- 13 データ記憶メモリ
- 14 視覚ディスプレイユニット

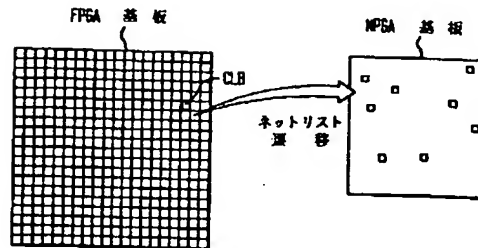
【図2】

```

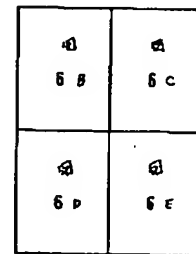
SYM X00290X CLB LOC=AA BUKN=X00290X
CFG BASE F
CFG CONFIG F:Q Y:Q X:Q FF RES: SET: CLK: C
CFG EQUATE F={0}
PIN C, I, X00291X, 17
PIN Y, Q, X00290X
MODEL
SYM X00290X.Y, BUF
PIN I, I, X00290X.Q, 0
PIN Q, Q, X00290X, 4
END
SYM X00290X.F, INV
PIN I, I, X00290X.Q, 0
PIN Q, Q, X00290X.F, 6
END
SYM X00290X.Q, OFF
PIN Q, Q, X00290X.Q, 4
PIN Q, I, X00290X.F, 0
PIN C, I, X00291X, 22
SETUP, D, C, t, 6, 1
PULSE, C, t, 7
PIN GR, I, GLOBALRESET-, 12
PULSE, GR, -, 150
END
ENDMOD
END

```

【図4】



【図6A】



【図8D】

```

SYM BCLANE_1 IOB LOC=P24 BUKN=BCLANE_1
CFG BASE IO
CFG CONFIG 1: PAD BUF:
PIN I, Q, BCLANE_1
MODEL
SYM BCLANE_1 IBUF, IBUF
PIN Q, Q, BCLANE_1, 6
PIN I, I, BCLANE_1, 0
END
ENDMOD
END

```

【図8E】

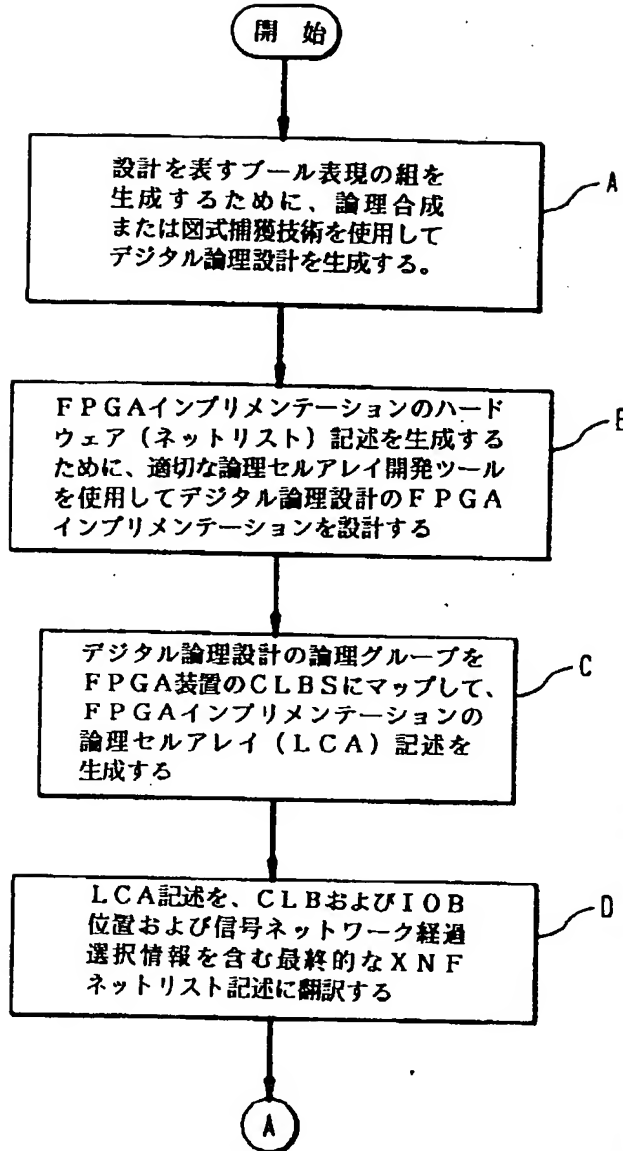
```

SYM CLK_KX, CLK
PIN I, I, X00160X, 12
PIN Q, Q, L5_1, 4
END
SYM CLK_AA, CLK
PIN I, I, X00261X, 3
PIN Q, Q, CLOCK1_1, 4
END

```

【図1A】

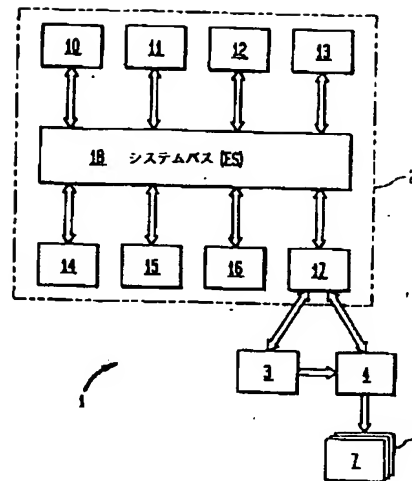
(従来技術)



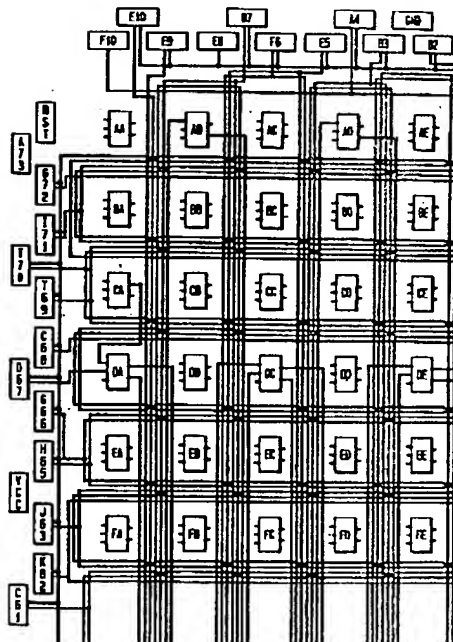
【図11A】

NETWORK:
 CKTNAME: NEWPER1;
 INPUTS: MCK12, BCKD2, BCKD1, WPM, STEN, SEREN, ROM, ROEN, BOLANE, BOLAND, ALE,
 GPDK3, GPDK2, GPDK1, AD61, AD51, AD71, AD41, AD31, AD21, AD11, AD01,
 IGRST, DONE1;
 OUTPUTS: LDC, READY, RELAY, A7, A6, A5, A4, A3, A2, A1, A0, AD60, AD50, AD70, AD40,
 AD30, AD20, AD10, AD00, BCKX2, BCKX1, BCKD2, BCKD1, DONE0;

【図5】



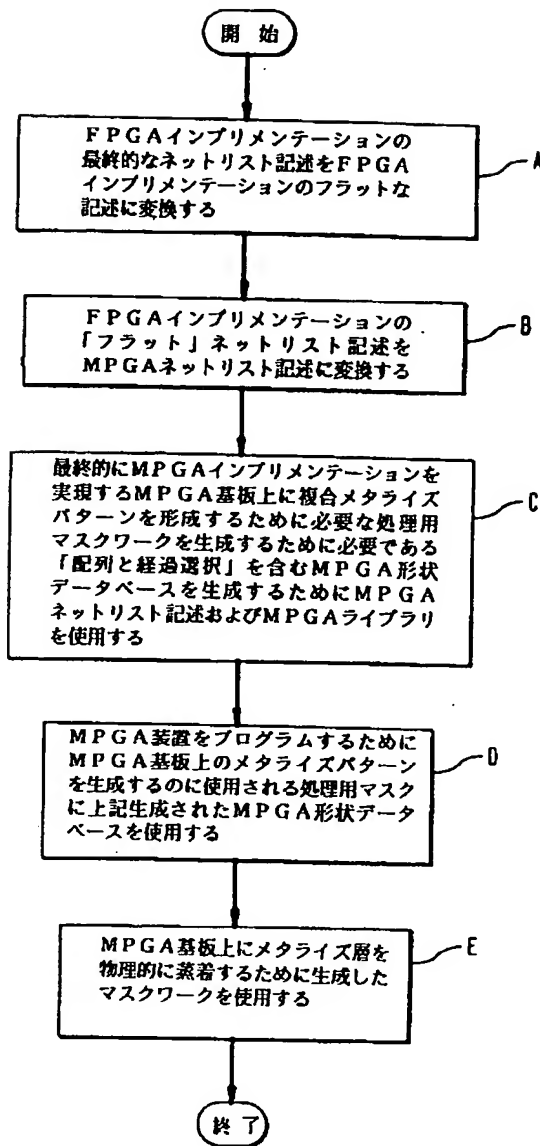
【図6B】



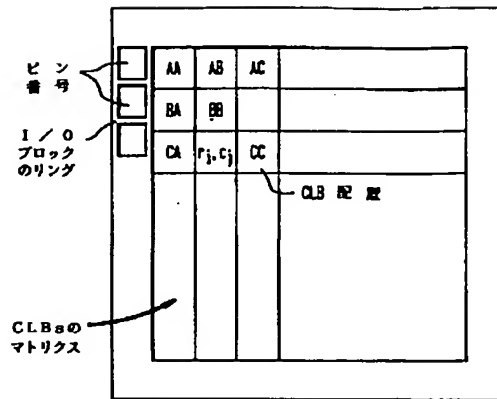
【図11B】

OPTIONS: MULTISOURCE=YES;
 SUBNETWK:
 CKTNAME: CLBA;
 INPUTS: X00290X.GRST, ICLK;
 OUTPUTS: X00290X;
 L101: CLKD0, ICLKD, 0;
 L111: X00290X.Y.BUF, (X00290X.Q), (X00290X.Q);
 L617: X00290X.Q.OFF, (X00290X.F, X00291X, X00290X.Q_RST, X00290X.Q_D.NET);
 L101: SY6_X00290X.Q_RST, (SY6_S202), (X00290X.Q_RST);
 L101: SY6_S202, (GRST), (SY6_S202);
 L101: SY6_X00290X.F, (X00290X.Q), (X00290X.F);
 F091: M.CELL.Q, (X00290X.Q_D.NET);

【図3】



【図7】



【図8B】

```

LCHNET, 4
PROG, LEA20W, VER. 4.03 FILE=PERI.LCA
PART, 2018PC20-70
PWR, 0, 600
PWR, 1, VCC1
EXT, I2C0K1, I, 11
EXT, I2C0K2, I, 30
EXT, BCD0K1, I, 33
EXT, BCD0K2, I, 34
EXT, BCD0K3, I, 22
EXT, WRM1, I, 20
EXT, STEP1, I, 42
EXT, SEREN1, I, 17
EXT, RELAY1, I, 23
EXT, ROM1, I, 20
EXT, ROM2, I, 43
EXT, BCD0K1, I, 24
EXT, BCD0K2, I, 21
EXT, A7, I, 0, 53
EXT, A5, I, 0, 41
EXT, A5, I, 0, 50
EXT, A4, I, 0, 51
EXT, A3, I, 0, 59
EXT, A2, I, 0, 61
EXT, A1, I, 0, 57
EXT, A0, I, 0, 64
EXT, ALE, I, 7, 3
EXT, OPT0K1, I, 36
EXT, OPT0K2, I, 38
EXT, OPT0K3, I, 39
EXT, A0K1, I, 45
EXT, A0K2, I, 47
EXT, A0K3, I, 48
EXT, A0K4, I, 49
EXT, A0K5, I, 54
EXT, A0K6, I, 55
EXT, A0K7, I, 56
EXT, A0K8, I, 67
EXT, BCD0K1, I, 60
EXT, BCD0K2, I, 62
EXT, BCD0K3, I, 65
EXT, BCD0K4, I, 66
EXT, GLOBAL/RESET, I, 44
  
```

【図11F】

```

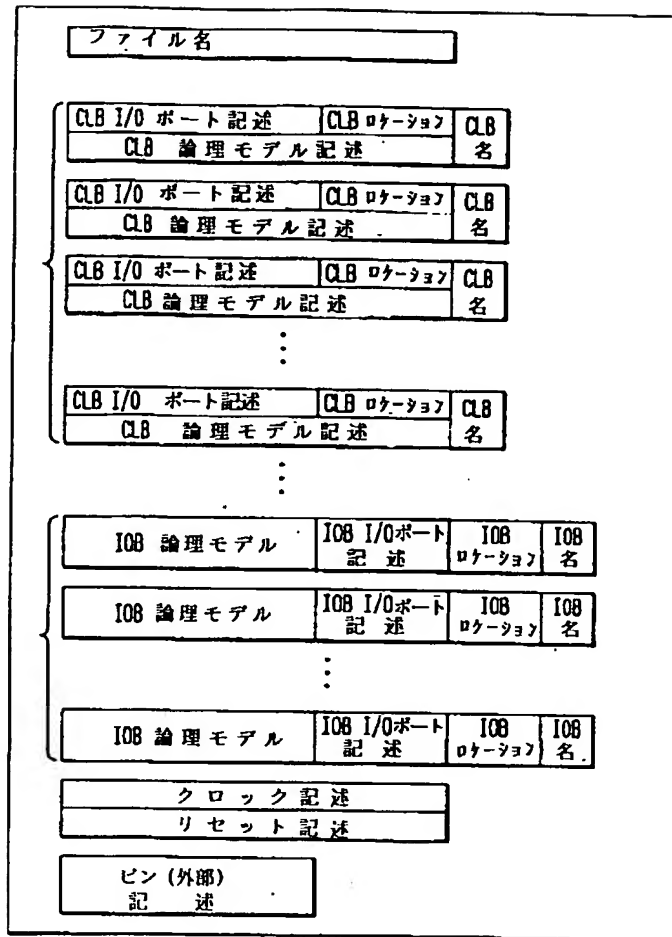
6 CLK 番号 F102 CLK AA, GCLK, (X002B)X, (GCLK);
DIST. ツリー F102 GCLKA, (GCLK), (CLOCK1)_A;
F102 GCLKB, (GCLK), (CLOCK1)_B;
F102 GCLKC, (GCLK), (CLOCK1)_C;
F102 GCLKD, (GCLK), (CLOCK1)_D;
F102 GCLKF, (GCLK), (CLOCK1)_F;
F102 GCLKG, (GCLK), (CLOCK1)_G;
F102 GCLKH, (GCLK), (CLOCK1)_H;
F102 GCLKI, (GCLK), (CLOCK1)_I;
F102 GCLKJ, (GCLK), (CLOCK1)_J;
  
```

【図11G】

```

全体的なリセット信号 F102 GPP1, (GPRST), (UGPRST);
DIST. ツリー F102 GPRSTA, (UGPRST), (GPRSTA);
F102 GPRSTB, (UGPRST), (GPRSTB);
F102 GPRSTC, (UGPRST), (GPRSTC);
F102 GPRSTD, (UGPRST), (GPRSTD);
F102 GPRSTE, (UGPRST), (GPRSTE);
F102 GPRSTF, (UGPRST), (GPRSTF);
F102 GPRSTG, (UGPRST), (GPRSTG);
F102 GPRSTH, (UGPRST), (GPRSTH);
F102 GPRSTI, (UGPRST), (GPRSTI);
F102 GPRSTJ, (UGPRST), (GPRSTJ);
  
```


【図8A】



FPGA
ネットリスト

【図11C】

```
# b21s1 3.5;
OPTIONS: MULTISOURCE=YES;
SUBNETWK;
CKTNAME: CLB.B;
INPUTS: IBCLANE1, IBCLAND1, CLK, CLK;
OUTPUTS: X00016X, IRELAY_1;
L101: ACQLO, ACQLO, 0;
L101: CLKLO, CLKLO, 0;
L111: IRELAY_1.Y, BUF, (IRELAY_1.F), (IRELAY_1);
L111: IRELAY_1.Y, BUF, (IRELAY_1.F), (X00016X);
L302: SYG IRELAY_1.G, (SYG S212, IBCLANE1), (IRELAY_1.G);
L302: SYG S212, (IBCLAND1, X00016X), (SYG S212);
L302: SYG IRELAY_1.F, (IBCLAND1, X00016X), (IRELAY_1.F);

CLBA: AA, (X00231X, GRSTA, ICLKA), (X00230X);
CLBB: BA, (X00228X, SAMST, 2, GRSTA, ICLKA), (X00229X);
CLBA: AB, (X00225X, SAMST, 2, GRSTA, ICLKB), (X00226X);
CLBA: AC, (X00223X, SAMST, 2, GRSTA, ICLKG), (X00224X);
CLBA: AD, (X00220X, SAMST, 2, GRSTA, ICLKI), (X00221X);
CLBA: AE, (X00217X, SAMST, 2, GRSTA, ICLKJ), (X00218X);
CLBA: AF, (X00229X, X00228X, SAMST, 2, GRSTA, ICLKA), (Q19, 2);
CLBA: BG, (X00227X, SAMST, 2, Q15, 2, GRSTA, ICLKJ), (X00226X);
CLBA: BH, (X00225X, SAMST, 2, Q15, 2, GRSTA, ICLKJ), (X00227X);
CLBA: BI, (X00223X, SAMST, 2, GRSTA, ICLKB), (Q15, 2);
CLBA: BF, (X00221X, SAMST, 2, Q12, 2, GRSTA, ICLKF), (X00225X);
```

【図11H】

```
CLBLAND: JA, (CLKC1A, I, S, A, 0); } CLBLAND
# NOTIS-ORIENTED LSL DESCRIPTION;
# b21s1 3.5;
OPTIONS: MULTISOURCE=YES;
SUBNETWK;
CKTNAME: CLBLAND;
INPUTS: CLK, CLK;
OUTPUTS: GC;
L101: CLKLO, CLKLO, 0;
L101: ACQLO, ACQLO, 0;
```

CLBLAND
サブネットワーク

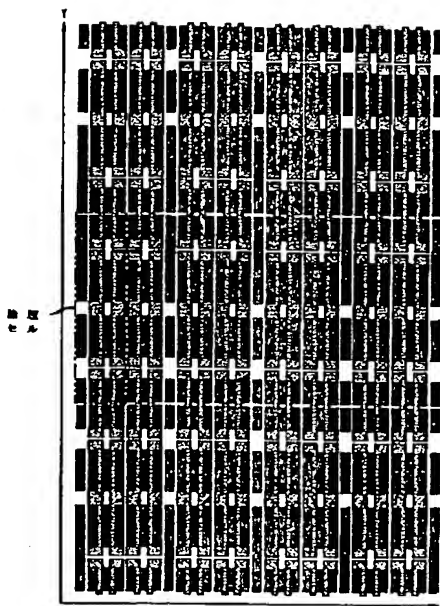
【図8C】

```
EXT: IBCLANE_1, 1, 24
SYM: IRELAY_1, CLB, LOC=IB, BLK=IRELAY_1
CFG: BASE FG
CFG: CONF16 F:0:8 G:8:8 H:8:8 I:8:8 J:8:8 K:8:8 L:8:8 M:8:8 N:8:8 O:8:8 P:8:8 Q:8:8 R:8:8 S:8:8 T:8:8 U:8:8 V:8:8 W:8:8 X:8:8 Y:8:8 Z:8:8 RES: SET: CLK;
CFG: EQUATE F--(BAD)
CFG: EQUATE G--(AA-(BDD))
PIN: Q, I, X00016X, 2
PIN: X, Q, X00016X, 2
PIN: Y, Q, IRELAY_1, 2
PIN: A, I, IBCLANE_1, 2
PIN: B, I, IBCLAND_1, 2
MODEL
SYM: IRELAY_1.Y, BUF
PIN: I, I, IRELAY_1.F, 0
PIN: Q, Q, IRELAY_1, 4
END
SYM: IRELAY_1.X, BUF
PIN: I, I, IRELAY_1.G, 0
PIN: Q, Q, X00016X, 4
END
SYM: IRELAY_1.F, NAND
PIN: Q, Q, IRELAY_1.F, 6
PIN: I, I, IBCLAND_1, 2
PIN: Z, I, X00016X, 2
END
SYM: IRELAY_1.G, NAND
PIN: Q, Q, IRELAY_1.G, 0
PIN: I, I, IBCLAND_1, 2
PIN: Z, I, X00016X, 2
END
SYM: IRELAY_1.G, NAND
PIN: Q, Q, IRELAY_1.G, 6
PIN: I, I, IBCLAND_1, 2
PIN: Z, I, IRELAY_1.G, 0
END
ENDMOD
END
```

【図8F】

移行ライブラリ			
セルタイプ	FPGA タイプ	ゲートアレイ ライブラリ	通常のセル ライブラリ
組合せ セル	BUF	L111	-
	INV	L101	DNB
	AND	L312	AND2
	NAND	L302	NOR
	OR	L212	OR2
	NOR	L202	NR2
	XOR	L501	XOR
	XNOR	L512	XNOR
	IBUF	F101	BIM107
	OBUF	F001	BOM107
I/O	OBUFFZ	B008	BOT6T
	INFF	F101 + L617	BIM107 + F01S30X
	OUTFF	F001 + L617	BOM107 + F01S30X
	OUTFFZ	B008 + L617	BOT6T + F01S30X
ブートストラップ	OFF	L617	F01S30X
クロック	CLK	F102	DAPH
	CLK	F102	DNPH

【図9】

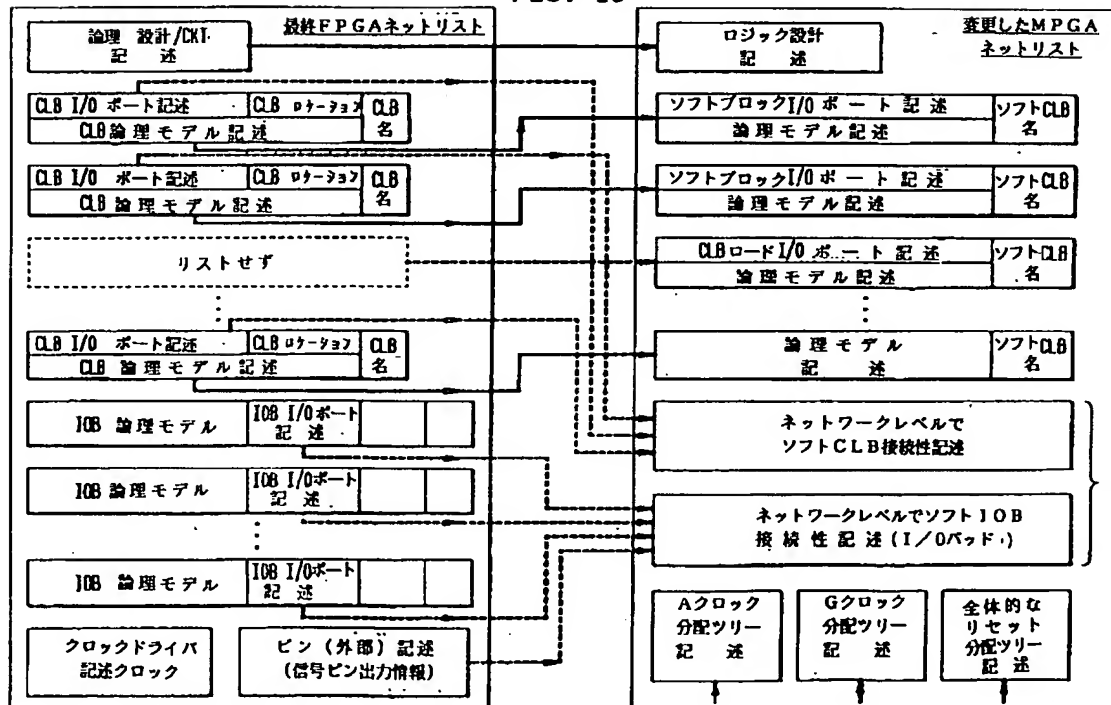


【図11D】

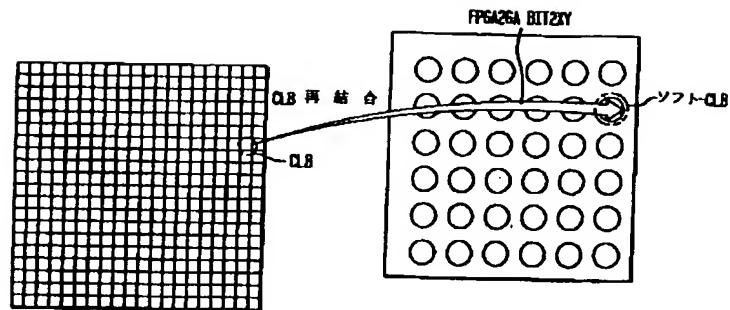
INPUTS: MCK12, BCR02, BCR01, WRN, STEN, SEREN, RDEN, RDEN, BCLAME, BCLAND, ALE,
 GPIN0, GPIN2, GPIN1, AD01, AD01, AD01, AD01, AD01, AD01, AD01, AD01,
 IGST, DONE1;
 OUTPUTS: LDC, READY, RELAY, A7, A6, A5, A4, A3, A2, A1, A0, AD00, AD00, AD00, AD00,
 AD00, AD00, AD00, AD00, BCCR2, BCCR1, BCCR2, BCCR1, DONE0;
 FIO1: MCK12, IBUF, IBUF, (MCK12), (000252X);
 FIO4: LDC, OBUF, OBUF, (VCC, LDC);
 FIO1: BCR02, IBUF, IBUF, (BCR02), (RD01);
 FIO1: BCR01, IBUF, IBUF, (BCR01), (RD01);
 FIO4: READY, OBUF, OBUF, (RD01);
 FIO1: WRN, IBUF, IBUF, (WRN), (WRN);
 FIO1: STEN, IBUF, IBUF, (STEN), (STEN);
 FIO1: SEREN, IBUF, IBUF, (SEREN), (SEREN);
 BCCR: RELAY, OBUF, OBUF, (RELAY), (RELAY);
 FIO1: RDEN, IBUF, IBUF, (RDEN), (RDEN);
 FIO1: RDEN, IBUF, IBUF, (RDEN), (RDEN);
 FIO1: BCLAME, IBUF, IBUF, (BCLAME), (BCLAME);
 FIO1: BCLAND, IBUF, IBUF, (BCLAND), (BCLAND);
 FIO4: A7, OBUF, OBUF, (A7);
 FIO4: A6, OBUF, OBUF, (A6);
 FIO4: A5, OBUF, OBUF, (A5);
 FIO4: A4, OBUF, OBUF, (A4);
 FIO4: A3, OBUF, OBUF, (A3);
 FIO4: A2, OBUF, OBUF, (A2);
 FIO4: A1, OBUF, OBUF, (A1);
 FIO4: A0, OBUF, OBUF, (A0);
 FIO1: ALE, IBUF, IBUF, (ALE), (ALE);
 FIO1: GPIN0, IBUF, IBUF, (GPIN0), (GPIN0);

【図10】

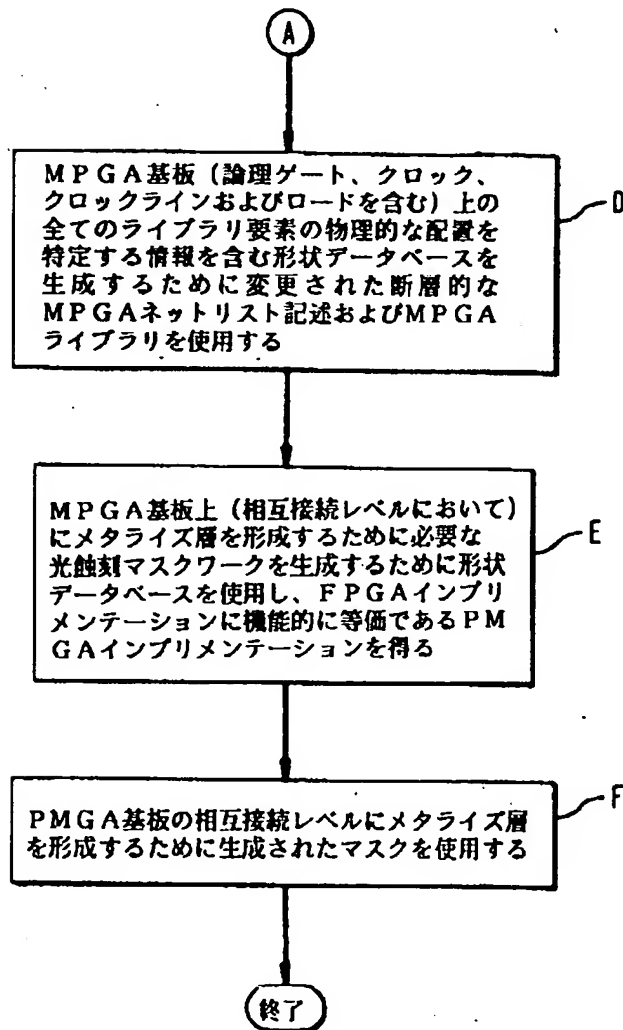
FIG. 10



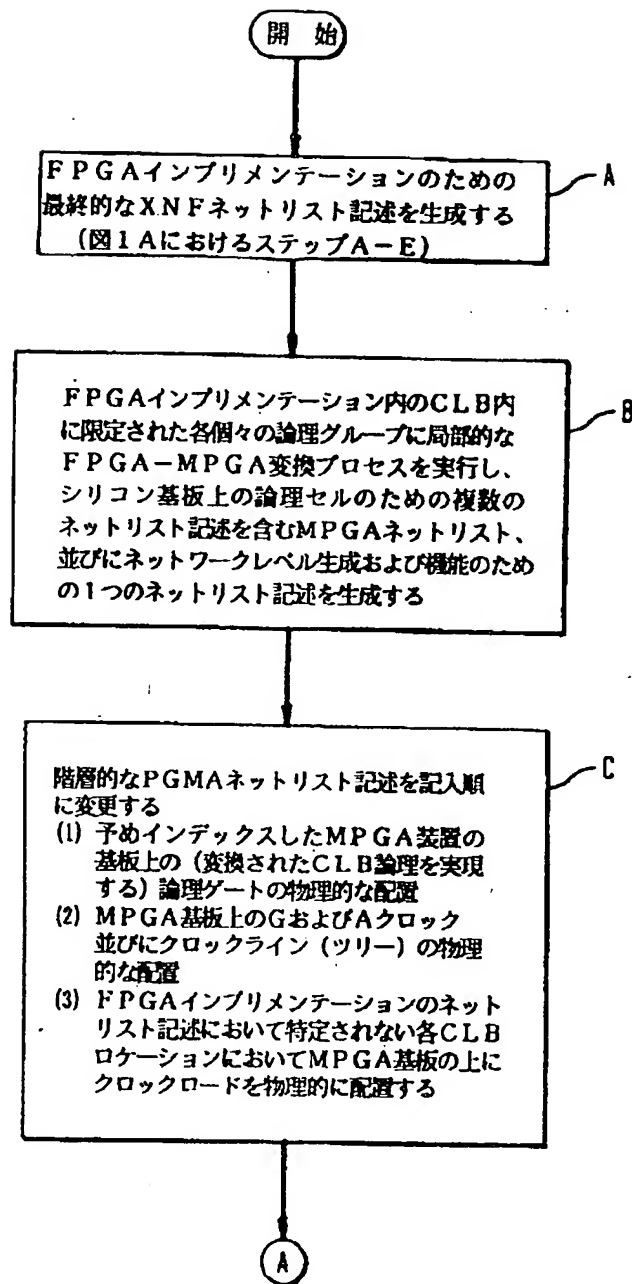
【図12】



【図13B】



【図13A】



【手続補正書】

【提出日】平成7年1月30日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 デジタル論理設計のフィールドプログラム可能なゲートアレイ（FPGA）実行を、該デジタル論理設計のマスクプログラム可能な論理セル（MPLC）実行に変換するための方法において、
 (a) 該FPGA実行を達成する際に使用するFPG

A装置およびFPGAライブラリを選択する段階であって、該FPGA装置は、

該パッケージ上の複数のピンと動作的に関連した入/出力ポートと内部に含まれたプログラム可能な論理回路とをそれぞれ有する複数のプログラム可能な入/出力インターフェースブロック(I/OB)と、

入/出力ポートと内部に含まれたプログラム可能な論理回路とをそれぞれ有する複数のプログラム可能で形成可能な論理ブロック(CLB)と、

該CLBの入/出力ポートと該I/OBの入/出力ポートとを選択的に相互接続して第1の信号遅延の組で該FPGA装置における信号を経路選択する第1の信号ネットワークを形成する複数のプログラム可能な相互接続スイッチとを搭載する基板を包含するパッケージを含み、

(b) 該FPGA実行に対してFPGAネットリストを生成する段階であって、該階層的なFPGAネットリストは、該FPGA実行で利用される各該CLBに対するCLB記述、該FPGA実行で利用される各該I/OBに対するI/OB記述、及び該FPGA装置内に該第1の信号ネットワークを形成するために該複数のプログラム可能な相互接続スイッチにより有効とされる、該利用されたCLBと該利用されたI/OBの入/出力ポートの間に確立されるべき相互接続を特定するポート接続性仕様とを含み、

(c) 該MPLC実行を達成するために使用されるMPLC装置とMPLCライブラリを選択する段階であって、該MPLC装置は少なくとも1つの相互接続レベルと、該MPLC基板上に複数のソフトCLBと複数のソフトI/OBとを形成するために該少なくとも1つの相互接続レベルにおいて選択的に形成され得る論理セルのアレイとを有する基板を包含するパッケージを含み、該MPLC内に該第1の信号ネットワークに物理的に対応した、第2の信号遅延の組で信号を経路選択する第2の信号ネットワークを形成するために、各該ソフトCLB及び各該ソフトI/OBは該MPGA基板上に計算可能な形状のメタライズ層を設けることで該少なくとも1つの相互接続レベルにおいて相互接続可能である入/出力ポートを有し、

(d) 該MPLC実行に対するMPLCネットリストを生成する段階であって、該MPLCネットリストは、該MPLC基板上に形成されるべき各該ソフトCLBに対するソフトCLB記述と、

該MPLCネットリスト内で特定される該ソフトCLBの入/出力ポートの接続性を特定するソフトCLB接続性記述と、

該MPLC基板上に形成されるべき各該ソフトI/OBに対するソフトI/OB記述と、

該MPLCネットリスト内で特定される該ソフトI/OBの入/出力ポートの接続性を特定するソフトI/OB接続性記述とを含む該MPLC実行に関する階層的情報を含

み、

(e) 形状データベースを生成すべく該変更されたMPLCネットリストと該MPLCライブラリを使用する段階であって、該形状データベースは、

該MPLC基板上の各該ソフトCLB及び各該ソフトI/OBの物理的な配置を特定する形状情報、及び該ソフトCLB接続性記述及び該ソフトI/OB接続性記述に従って該CLBと該I/OBの入/出力ポートを相互接続する該MPLC基板上の信号経路を特定する形状情報であって、該FPGA実行の間に存在する相対的な信号遅延が該MPLC実行において実質的に保持され、これにより該FPGAとMPLC実行の間の機能的な等価が確立される、

段階からなることを特徴とする方法。

【請求項2】 請求項1に記載の方法において、該段階(a)において、該選択されたFPGA装置がさらに、該CLB及びI/OBにより使用されるためのクロック信号を生成するクロック信号生成手段と、

該クロック信号を、その内において該CLB及びI/OBへ経路選択する第1の複数の導電素子を有するクロック信号分配構造とを含み、

該方法は更に該段階(d)の後に、

該MPLCネットリストに、該MPLC基板上の該クロック信号生成手段の記述と該MPLC基板上の該クロック信号分配構造の記述とを加えることによって、変更されたMPLCネットリストを生成する段階を更に含み、該形状データベースが、該MPLC基板上の該クロック信号生成手段と該リセット信号生成手段の物理的な配置を特定する形状情報と、該MPLC基板上の該クロック信号分配構造の物理的な経路選択を特定する形状情報とを更に含むことを特徴とする方法。

【請求項3】 請求項1に記載の方法において、段階(d)の間にさらに、

該変更されたMPLCネットリストに、該FPGA実行を実現する際に利用しない該FPGA内部の各CLBに対するソフトCLB負荷を加える段階を含むことを特徴とする方法。

【請求項4】 請求項3に記載の方法において、さらに、

(f) 該MPGA基板上の該メタライズ層を形成するために使用する光蝕刻処理用マスクの組を生成するために該形状データベースを使用する段階を含むことを特徴とする方法。

【請求項5】 請求項4に記載の方法において、さらに、(g) 該MPGA基板上の該メタライズ層を形成するために該生成された光蝕刻処理用マスクの組を使用する段階を含むことを特徴とする方法。

【請求項6】 請求項1に記載の方法において、該MPLC実行がマスクプログラム可能なゲートアレイ(MPGA)実行であり、該MPLC装置がMPGA装置であ

り、そして該MPLCライブラリがMPGAライブラリであることを特徴とする方法。

【請求項7】 請求項1に記載の方法において、該MPLC実行がマスクプログラム可能な標準セル(MPSC)実行であり、該MPLC装置がMPSC装置であり、そして該MPLCライブラリがMPSCライブラリであることを特徴とする方法。

【請求項8】 請求項2に記載の方法において、該形状データベースの製造の間に、該各ソフトCLBが該FPGA基板上の対応するCLBの物理的位置と相対的に同じである該MPLC基板上の物理的位置に配置され、各該ソフトIOBが該FPGA基板上の対応するIOBの物理的位置と相対的に同じである該MPLC基板上の物理的位置に配置され、該MPLC基板上の各該クロック信号生成手段が該FPGA基板上の対応するクロック信号生成手段の物理的位置と相対的に同じである該MPLC基板上の物理的位置に配置され、そして該MPLC基板上の該クロック信号分配構造の物理的経路選択が該FPGA基板上の対応するクロック分配構造の信号経路と相対的に同じである該MPLC基板上の信号経路に沿って選択されることを特徴とする方法。

【請求項9】 デジタル論理設計のフィールドプログラム可能なゲートアレイ(FPGA)実行を、該デジタル論理設計のマスクプログラム可能な論理セル(MPLC)実行に変換するための方法において、

(a) 該FPGA実行を達成する際に使用するFPGA装置およびFPGAライブラリを選択する段階であって、該FPGA装置は、該パッケージ上の複数のピンと動作的に関連した入/出力ポートと内部に含まれたプログラム可能な論理回路とをそれぞれ有する複数のプログラム可能な入/出力インターフェースブロック(IOB)と、入/出力ポートと内部に含まれたプログラム可能な論理回路とをそれぞれ有する複数のプログラム可能で形成可能な論理ブロック(CLB)と、該CLBの入/出力ポートと該IOBの入/出力ポートとを選択的に相互接続して第1の信号遅延の組で該FPGA装置における信号を経路選択する第1の信号ネットワークを形成する複数のプログラム可能な相互接続スイッチと、該CLB及びIOBにより使用されるためのクロック信号を生成するクロック信号生成手段と、該クロック信号内で該CLB及びIOBに経路選択するための第1の複数の導電素子を有するクロック信号分配構造とを搭載する基板を包含するパッケージを含み、(b) 該FPGA実行に対してFPGAネットリストを生成する段階であって、該FPGAネットリストは階層的情報、該FPGA実行で利用される各該CLBに対するCLB記述、該FPGA実行で利用される各該IOBに対するIOB記述、及び該FPGA装置内に該第2

の信号ネットワークを形成するために該複数のプログラム可能な相互接続スイッチにより有効とされる、該利用されたCLBと該利用されたIOBの入/出力ポートの間に確立されるべき相互接続を特定するポート接続性仕様とを含み、

(c) 該MPLC実行を達成するために使用されるMPLC装置とMPLCライブラリを選択する段階であって、該MPLC装置は少なくとも1つの相互接続レベルを有し、該MPLC基板上に複数のソフトCLBと複数のソフトIOBとを形成するために該少なくとも1つの相互接続レベルにおいて選択的に形成され得る論理セルのアレイを搭載する基板を包含するパッケージを含み、該MPLC内に該第1の信号ネットワークに物理的に対応した、第2の信号遅延の組で信号を経路選択する第2の信号ネットワークを形成するために、各該ソフトCLB及び各該ソフトIOBは該MPGA基板に計算された形状のメタライズ層を設けることで該相互接続レベルにおいて相互接続可能である入/出力ポートを有し、

(d) 該MPLC実行に対するMPLCネットリストを生成する段階であって、該MPLCネットリストは、該MPLC基板上に形成されるべき各該ソフトCLBに対するソフトCLB記述と、

該MPLCネットリスト内で特定される該ソフトCLBの入/出力ポートの接続性を特定するソフトCLB接続性記述と、

該MPLC基板上に形成されるべき各該ソフトIOBに対するソフトIOB記述と、

該MPLCネットリスト内で特定される該ソフトIOBの入/出力ポートの接続性を特定するソフトIOB接続性記述とを含み、

(e) (1) 該FPGA実行を実現させる際に利用しない、該FPGA内の各該CLBに対するソフトCLB負荷と、

(2) 該MPLC基板上に位置する該クロック信号生成手段の記述と、

(3) 該MPLC基板上に位置する該クロック信号分配構造の記述とを該MPLCネットリストに加えることによって変更されたMPLCを生成する段階と、

(f) 形状データベースを生成するために該変更されたMPLCネットリスト及び該MPLCライブラリを使用する段階であって、該形状データベースは、各該ソフトCLBの物理的な配置、各該ソフトIOBの物理的な配置、及び該MPLC基板上の該クロック信号生成手段の物理的な配置に関する形状情報と、該クロック信号分配構造の物理的な経路選択と、該ソフトCLB接続性記述と該ソフトIOB接続性記述に従って該CLBと該IOBの入/出力ポートとを相互接続する該MPLC上の信号経路とを特定する形状情報であって、該MPLC基板上の該ソフトCLB、該ソフトIOB、並びに該クロック信号生成手段の物理的な配置が、

該FPGA基板上的対応する該ソフトCLB、対応する該ソフトIOB、及び対応するクロック信号生成手段の物理的な配置と同じであり、該FPGA実行の間に存在する相対的な信号及びクロック遅延が該MPLC実行内に実質的に保持され、これにより該FPGAとMPLC実行の間の機能的な等価が確立される段階からなることを特徴とする方法。

【請求項10】 請求項9に記載の方法において、

(g) 該MPGA基板上的該メタライズ層を形成する際に使用するための光蝕刻処理用マスクの組を生成するために該形状データベースを使用する段階をさらに含む特徴とする方法。

【請求項11】 請求項10に記載の方法において、

(h) 該MPGA基板上的該メタライズ層を形成するために該生成された光蝕刻処理用マスクの組を使用する段階をさらに含むことを特徴とする方法。

【請求項12】 請求項9に記載の方法において、該MPLC実行がマスクプログラム可能なゲートアレイ(MPGA)実行であり、該MPLC装置がMPGA装置であり、そして該MPLCライブラリがMPGAライブラリであることを特徴とする方法。

【請求項13】 請求項9に記載の方法において、該MPLC実行がマスクプログラム可能な標準セル(MPSC)実行であり、該MPLC装置がMPSC装置であり、そして該MPLCライブラリがMPSCライブラリであることを特徴とする方法。

【請求項14】 デジタル論理設計のフィールドプログラム可能なゲートアレイ(FPGA)実行を、該デジタル論理設計のマスクプログラム可能な論理セル(MPLC)実行に変換するためのコンピュータを基礎とするシステムにおいて、

該FPGA実行を達成するために使用するためのFPGA装置及びFPGAライブラリを表した情報を含む情報を記憶するための情報記憶手段であって、該FPGA装置は、

該パッケージ上の複数のピンと動作的に関連した入/出力ポートと内部に含まれたプログラム可能な論理回路とをそれぞれ有する複数のプログラム可能な入/出力インターフェースブロック(IOB)と、

入/出力ポートと内部に含まれたプログラム可能な論理回路とをそれぞれ有する複数のプログラム可能で形成可能な論理ブロック(CLB)と、

該CLBの入/出力ポートと該IOBの入/出力ポートとを選択的に相互接続して、該FPGA基板上に信号遅延の決定可能な量で該FPGA装置における信号を経路選択する第1の信号ネットワークを形成する複数のプログラム可能な相互接続スイッチとからなり、

該情報記憶手段が該MPLCを実現する際に使用された選択されたMPLC装置及びMPLCライブラリを示す情報をさらに記憶し、該MPLC装置は、少なくとも1

つの相互接続レベルと該MPLC基板上に複数のソフトCLBと複数のソフトIOBを形成するために該少なくとも1つの相互接続レベルにおいて選択的に配列され得る論理セルのアレイとを搭載したMPLC基板を包含するパッケージを含み、該MPLC内に該第1の信号ネットワークに物理的に対応した決定可能な信号の量で信号を経路選択する第2の信号ネットワークを形成するために、各該ソフトCLB及び各該ソフトIOBは該MPGA基板に計算可能な形状のメタライズ層を設けることで少なくとも1つの相互接続レベルにおいて相互接続可能な入/出力ポートを有し、

該情報記憶手段に動作的に関連し、該FPGA装置を使用して該FPGA実行に対するFPGAネットリストを表す第1のデータ構造を生成するプログラムされた情報処理手段であって、該FPGAネットリストは、該FPGA実行に利用される各該CLBに対するCLB記述と、該FPGA実行に利用される各該IOBに対するIOB記述と、該FPGA装置内部に該第1の信号ネットワークを形成するために、該複数のプログラム可能な相互接続スイッチにより有効にされる、該利用されたCLBと該利用されたIOBの入/出力ポートの間に確立されるべき相互接続を特定するポート接続性仕様とを含む階層的な情報を含んでおり、

該プログラムされた情報処理手段はさらに、該MPLC装置を使用する該MPLC実行に対するMPLCネットリストを表す第2の情報構造を生成し、該MPLCネットリストは、

該MPLC基板上に形成されるべき各該ソフトCLBに対するソフトCLB記述と、

該MPLCネットリスト内に特定される該ソフトCLBの入/出力ポートの接続性を特定するソフトCLB接続性記述と、

該MPLC基板上に形成されるべき各該ソフトIOBに対するソフトIOB記述と、

該MPLCネットリスト内に特定される該ソフトIOBの入/出力ポートの接続性を特定するソフトIOB接続性記述とを含む階層的な情報を包含しており、そして、

該プログラムされた情報処理手段は該変更されたMPLCネットリストと該MPLCライブラリを使用する形状データベースを更に生成し、該形状データベースが、各該ソフトCLBと各該ソフトIOBと該クロック信号生成手段の物理的な配置を特定する形状情報と、

該ソフトCLB接続性記述及び該ソフトIOB接続性記述に従って該CLBと該IOBの入/出力ポートを相互接続する該MPLC上の信号経路の物理的な経路選択を特定する形状情報からなり、該FPGA実行の該第1の信号ネットワークに存在する相対的な信号遅延が該MPLC実行内の第2の信号ネットワーク内に実質的に保持され、これにより該FPGAとMPLC実行の間の機能的な等価が確立されることを特徴とするコンピュータ基

礎システム。

【請求項15】 請求項14に記載の装置において、該FPGA装置が更に、

該CLBとIOBにより使用されるためのクロック信号を生成するクロック信号生成手段と、

該クロック信号内において該CLBとIOBに経路選択する第1の複数の導電素子を有するクロック信号分配構造と、

該CLB及び該IOBによって使用されるリセット信号を生成するリセット信号生成手段とからなり、

該コンピュータを基礎とするシステムが更に、該第2の情報構造に情報を加えて、該MPLC基板上の該クロック信号生成手段の記述と該MPLC基板上の該クロック信号分配構造の記述をさらに含む変更されたMPLCネットリストを生成する手段を含み、

該プログラムされた情報処理手段は、追加の形状情報を生成し該追加形状情報を該形状データベースに追加するために該変更されたMPLCネットリストと該MPLCライブラリを使用し、該追加の形状情報はさらに、該MPLC基板上の該クロック信号生成手段の物理的配置を特定し、さらに、該MPLC基板上の該クロック信号分配構造の物理的な経路選択をも特定することを特徴とするシステム。

【請求項16】 請求項15に記載のシステムにおい

て、該プログラムされた情報処理手段が、該変更されたMPLCネットリストに、該FPGA実行を実現する際に使用されない該FPGA装置内の各該CLBに対するソフトCLBを追加する手段をさらに含むことを特徴とするシステム。

【請求項17】 請求項15に記載のシステムにおいて、該形状データベースを使用して、光蝕刻処理用マスクの組を生成する手段をさらに含むことを特徴とする請求項システム。

【請求項18】 請求項17に記載のシステムにおいて、該生成された光蝕刻処理用マスクの組を使用して、該MPGA基板上の該メタライズ層を形成する手段をさらに含むことを特徴とするシステム。

【請求項19】 請求項15に記載のシステムにおいて、該MPLC実行がマスクプログラム可能なゲートアレイ(MPGA)実行であり、該MPLC装置がMPGA装置であり、そして該MPLCライブラリがMPGAライブラリであることを特徴とするシステム。

【請求項20】 請求項15に記載のシステムにおいて、該MPLC実行がマスクプログラム可能な標準セル(MPSC)実行であり、該MPLC装置がMPSC装置であり、そして該MPLCライブラリがMPSCライブラリであることを特徴とするシステム。